

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of

HAYASHI et al.

Application Number: 09/976,052

Filed: October 15, 2001

For: LEVEL SHIFT CIRCUIT AND SEMICONDUCTOR  
INTEGRATED CIRCUIT

Honorable Assistant Commissioner  
for Patents  
Washington, D.C. 20231

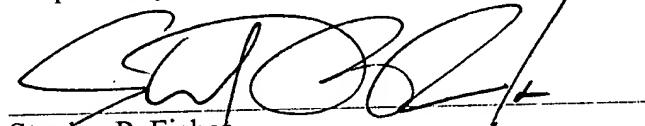
REQUEST FOR PRIORITY  
UNDER 35 U.S.C. § 119  
AND THE INTERNATIONAL CONVENTION

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of October 30, 2000, the filing date of the corresponding Japanese patent application 2000-330385.

The certified copy of corresponding Japanese patent application 2000-330385 is being submitted herewith. Acknowledgment of receipt of the certified copies is respectfully requested in due course.

Respectfully submitted,

  
Stanley P. Fisher  
Registration Number 24,344

REED SMITH HAZEL & THOMAS LLP  
3110 Fairview Park Drive  
Suite 1400  
Falls Church, Virginia 22042  
(703) 641-4200  
November 26, 2001

JUAN CARLOS A. MARQUEZ  
Registration No. 34,072

RECEIVED  
DEC 4 2001  
102800 MAIL ROOM

#4  
Q.B.

12-18-01

RECEIVED  
NOV 29 2001  
Technology Center 2600

LIST OF THE PRIOR ARTS

1. Japanese Patent Publication No.1993-343980
2. Japanese Patent Publication No.1994-209256

JC821 U.S. PRO  
06/976052  
10/15/01





日本特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2000年10月30日

出願番号  
Application Number:

特願2000-330385

出願人  
Applicant(s):

株式会社日立製作所  
株式会社日立超エル・エス・アイ・システムズ

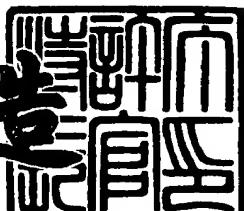
RECEIVED  
NOV 29 2001  
Technology Center 2600

RECEIVED  
DEC -4 2001  
TC 2600 MAIL ROOM

2001年 9月25日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3087778

【書類名】 特許願

【整理番号】 H00014911

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明者】

【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社 日立超エル・エス・アイ・システムズ内

【氏名】 林 浩功

【発明者】

【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

【氏名】 高橋 敏郎

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社 日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【電話番号】 03-3269-1430

【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特2000-330385

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レベル変換回路および半導体集積回路

【特許請求の範囲】

【請求項1】 第1の信号振幅を有する第1信号を受ける第1入力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と同相の第2信号を出力する第1出力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と逆相の第3信号を出力する第2出力端子とを含む第1回路と、

第1電圧端子と第2電圧端子との間にそのソースードレイン経路が直列に接続された第1 pチャネル型MOSトランジスタ、第2 pチャネル型MOSトランジスタ、第1 nチャネル型MOSトランジスタ、第2 nチャネル型MOSトランジスタを有し、上記第1 pチャネル型MOSトランジスタのドレイン及び上記1 nチャネル型MOSトランジスタのドレインが第3出力端子に接続された第2回路とを備え、

上記第2回路は、上記第1回路の第1出力端子から出力される第2信号と上記第1回路の第2出力端子から出力される第3信号のうち、信号レベルの変化が早い方の信号変化に基づいて上記第2の信号振幅を有する第4信号を形成して上記第3出力端子より出力することを特徴とするレベル変換回路。

【請求項2】 上記第1回路の第1出力端子から出力される第2信号または上記第1回路の第2出力端子から出力される第3信号を遅延して上記第2 pチャネル型MOSトランジスタおよび第1 nチャネル型MOSトランジスタ、または第1 pチャネル型MOSトランジスタおよび第2 nチャネル型MOSトランジスタに制御をかける遅延手段を有することを特徴とする請求項1に記載のレベル変換回路。

【請求項3】 MOSトランジスタのゲート端子に入力された信号に応じて当該MOSトランジスタのソースもしくはドレイン端子から上記ゲート入力信号に応じた信号が出力される回路を1段と定義したとき、上記第1回路の上記第1入力端子から上記第2出力端子を経て上記第2回路の第3出力端子に到達する信号の経由する回路段数と、上記第1回路の上記第1入力端子から上記第3出力端

子を経て上記第2回路の第3出力端子に到達する信号の経由する回路段数とが同一になるように構成されていることを特徴とする請求項1に記載のレベル変換回路。

【請求項4】 上記第2回路は、上記第1回路から出力される上記第2信号または第3信号の変化に応じて上記第2pチャネル型MOSトランジスタまたは第1nチャネル型MOSトランジスタの状態が変化することを特徴とする請求項1に記載のレベル変換回路。

【請求項5】 上記第1pチャネル型MOSトランジスタと第2nチャネル型MOSトランジスタとそれぞれ並列に、プルアップ用の高抵抗素子とプルダウン用の高抵抗素子が接続されていることを特徴とする請求項4に記載のレベル変換回路。

【請求項6】 上記第2pチャネル型MOSトランジスタのゲート幅とゲート長との比よりも上記第1pチャネル型MOSトランジスタのゲート幅とゲート長との比の方が大きくなるように設定され、上記第1nチャネル型MOSトランジスタのゲート幅とゲート長との比よりも上記第2nチャネル型MOSトランジスタのゲート幅とゲート長との比の方が大きくなるように設定されていることを特徴とする請求項5に記載のレベル変換回路。

【請求項7】 上記第1信号を論理反転する第1インバータを備えると共に、上記第1回路は上記第1インバータの出力信号を受ける第2入力端子を有し、上記第1入力端子および第2入力端子に各々ゲート端子が接続された第3nチャネル型MOSトランジスタおよび第4nチャネル型MOSトランジスタと、上記第3nチャネル型MOSトランジスタとソースードレイン経路が直列に接続されゲート端子に上記第4nチャネル型MOSトランジスタのドレイン端子が接続された第3pチャネル型MOSトランジスタと、上記第4nチャネル型MOSトランジスタとソースードレイン経路が直列に接続されゲート端子に上記第3nチャネル型MOSトランジスタのドレイン端子が接続された第4pチャネル型MOSトランジスタとから構成され、上記第4nチャネル型MOSトランジスタのドレイン端子に上記第1出力端子が接続され、上記第3nチャネル型MOSトランジスタのドレイン端子に上記第2出力端子が接続され、上記第1出力端子には上記

第2信号を論理反転する第2インバータが接続されていることを特徴とする請求項1に記載のレベル変換回路。

【請求項8】 上記第2回路は、上記第2pチャネル型MOSトランジスタまたは第1nチャネル型MOSトランジスタが上記第1回路から出力される上記第2信号または上記第2インバータの出力信号のうち変化が早い方の信号変化に応じて状態が変化することを特徴とする請求項7に記載のレベル変換回路。

【請求項9】 上記第1回路の第1出力端子から出力される第2信号または上記第2インバータの出力信号のうち変化が早い方の信号変化に応じて上記第1pチャネル型MOSトランジスタおよび第2nチャネル型MOSトランジスタに制御をかける第3インバータを有することを特徴とする請求項8に記載のレベル変換回路。

【請求項10】 上記第1回路の第1出力端子から出力される第2信号または上記第1回路の第2出力端子から出力される第3信号のうち変化が早い方の信号変化に応じて上記第2pチャネル型MOSトランジスタおよび第1nチャネル型MOSトランジスタまたは上記第1pチャネル型MOSトランジスタおよび第2nチャネル型MOSトランジスタを制御する信号を生成する遅延手段を有することを特徴とする請求項1に記載のレベル変換回路。

【請求項11】 上記第2回路は、上記第1回路から出力される上記第2信号または第3信号のうち変化が早い方の信号変化に応答して上記第1pチャネル型MOSトランジスタまたは第2nチャネル型MOSトランジスタの状態が変化することを特徴とする請求項1に記載のレベル変換回路。

【請求項12】 第1の信号振幅を有する第1信号を受ける第1入力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と同相の第2信号を出力する第1出力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と逆相の第3信号を出力する第2出力端子とを含む第1回路と、

上記第1回路の第1出力端子から出力される第2信号と上記第1回路の第2出力端子から出力される第3信号のうち、信号レベルの変化が早い方の信号変化に基づいて上記第2の信号振幅を有する第4信号を形成して上記第3出力端

子より出力する第2回路とを備え、

上記第2回路は、上記第1回路から出力される上記第2信号または第3信号とその逆相の信号をそれぞれ受け、信号の変化の方向に応じて上記第4信号の変化が速くなるように論理しきい値が変化することを特徴とするレベル変換回路。

【請求項13】 上記第2回路は、第1電圧端子と第2電圧端子との間にそのソースードレイン経路が直列に接続された第1pチャネル型MOSトランジスタ、第2pチャネル型MOSトランジスタ、第1nチャネル型MOSトランジスタ、第2nチャネル型MOSトランジスタを有し、上記第1pチャネル型MOSトランジスタのドレイン及び上記1nチャネル型MOSトランジスタのドレインが第3出力端子に接続されるとともに、第2pチャネル型MOSトランジスタと第1nチャネル型MOSトランジスタと並列にそれぞれ高抵抗素子が接続され、上記第1回路の第1出力端子から出力される第2信号または上記第1回路の第2出力端子から出力される第3信号を遅延して上記第2pチャネル型MOSトランジスタおよび第1nチャネル型MOSトランジスタ、または第1pチャネル型MOSトランジスタおよび第2nチャネル型MOSトランジスタに制御をかける遅延手段を備えていることを特徴とする請求項12に記載のレベル変換回路。

【請求項14】 第1の信号振幅を有する第1信号を受ける第1入力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と同相の第2信号を出力する第1出力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と逆相の第3信号を出力する第2出力端子とを含む第1回路と、

上記第1回路の第1出力端子から出力される第2信号と上記第1回路の第2出力端子から出力される第3信号のうち、信号レベルの変化が早い方の信号の信号変化に基づいて上記第2の信号振幅を有する第4信号を形成して上記第3出力端子より出力する第2回路とを備え、

MOSトランジスタのゲート端子に入力された信号に応じて当該MOSトランジスタのソースもしくはドレイン端子から上記ゲート入力信号に応じた信号が出力される回路を1段と定義したとき、上記第1回路の上記第1入力端子から上記第2出力端子を経て上記第2回路の第3出力端子に到達する信号の経由する回路

段数と、上記第1回路の上記第1入力端子から上記第3出力端子を経て上記第2回路の第3出力端子に到達する信号の経由する回路段数がそれぞれ4段以下となるように構成されていることを特徴とするレベル変換回路。

【請求項15】 第1の信号振幅を有する第1信号を受ける第1入力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と同相の第2信号を出力する第1出力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と逆相の第3信号を出力する第2出力端子とを含む第1回路と、

上記第1回路の第1出力端子から出力される第2信号と上記第1回路の第2出力端子から出力される第3信号のうち、信号レベルの変化が早い方の信号の信号変化に基づいて上記第2の信号振幅を有する第4信号を形成して上記第3出力端子より出力する第2回路とを備え、

MOSトランジスタのゲート端子に入力された信号に応じて当該MOSトランジスタのソースもしくはドレイン端子から上記ゲート入力信号に応じた信号が出力される回路を1段と定義したとき、上記第1回路の上記第1入力端子から上記第2出力端子を経て上記第2回路の第3出力端子に到達する信号の経由する回路段数と、上記第1回路の上記第1入力端子から上記第3出力端子を経て上記第2回路の第3出力端子に到達する信号の経由する回路段数がそれぞれ3段となるように構成されていることを特徴とするレベル変換回路。

【請求項16】 内部回路では第1の振幅で信号が伝送され、外部の他の装置との間では上記第1の振幅よりも大きな第2の振幅で信号の送受信が行なわれる半導体集積回路であって、上記第2の振幅の信号が出力される外部端子に接続された入出力回路に請求項1～請求項15のいずれかに記載のレベル変換回路を備えていることを特徴とする半導体集積回路。

【請求項17】 第2の振幅の信号が入力される外部端子に接続された入出力回路に、第2の振幅の信号を第1の振幅の信号に変換する逆レベル変換回路を備えていることを特徴とする請求項16に記載の半導体集積回路。

【請求項18】 第1の信号振幅を有する第1信号を受ける第1入力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と同相の

第2信号を出力する第1出力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と逆相の第3信号を出力する第2出力端子とを含む第1回路と、上記第1回路の第1出力端子から出力される第2信号と上記第1回路の第2出力端子から出力される第3信号のうち、信号レベルの変化が早い方の信号の信号変化に基づいて上記第2の信号振幅を有する第4信号を形成して上記第3出力端子より出力する第2回路とを備えた第1のレベル変換回路と、

上記第1回路と同一形式の回路からなる第2のレベル変換回路とを有することを特徴とする半導体集積回路。

【請求項19】 上記第1のレベル変換回路は通常の動作信号を伝送する経路に設けられ、上記第2のレベル変換回路はテスト系の信号を伝送する経路に設けられていることを特徴とする請求項18に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路さらにはレベル変換回路に関し、例えば内部信号の振幅と外部信号の振幅とが異なる半導体集積回路のインターフェース回路に利用して有効な技術に関する。

【0002】

【従来の技術】

従来、振幅の小さな信号を振幅の大きな信号に変換する回路として、例えば特開平5-343979号に開示されている図10に示すようなレベル変換回路がある。図10の回路は、VDD（例えば1.5V）を電源電圧とし入力信号INを反転するインバータINV0と、VDDよりも高いVDD2（例えば3.3V）を電源電圧とし上記インバータで反転された信号/INと反転される前の信号INとを入力とするラッチ回路LTとからなり、ラッチ回路LTは2個のpチャネルMOSFET Qp0, Qp2と1個のnチャネルMOSFET Qn1とが直列に接続されたCMOSインバータINV1および2個のPチャネルMOSFET Qp1, Qp3と1個のnチャネルMOSFET Qn2とが直列に接続されたCMOSインバータINV2の出力端子が互いに他方のインバータのMOSF

E T Q p 2, Q p 3のゲートに接続されて構成されている。

【0003】

【発明が解決しようとする課題】

図10のレベル変換回路は、0～1.5Vの振幅の入力信号INがロウレベルからハイレベルに変化するとMOSFET Qn1がオフ状態からオン状態へ直ちに移行するため出力信号OUTは3.3VのようなVDD2から接地電位(0V)へ変化するが、入力信号INがハイレベルからロウレベルに変化するときは反転信号/INによりMOSFET Qn2がオンされてインバータINV2の出力がロウレベルに変化し、MOSFET Qp2がオフ状態からオン状態へ移行されて初めて出力信号OUTが接地電位(0V)から3.3VのようなVDD2へ変化する。

【0004】

そのため、従来のレベル変換回路は、出力信号のロウレベルからハイレベルへの変化がハイレベルからロウレベルへの変化に比べて遅くなる。その結果、このようなレベル変換回路からの信号を受ける側の回路においては、遅い方の信号のタイミングに合わせて信号を取り込まなくてはならないため、タイミングの設計が面倒であるとともに、信号の伝達に時間がかかりシステムの高速化が妨げられるという問題点がある。

【0005】

この発明の目的は、出力信号のロウレベルからハイレベルへの変化がハイレベルからロウレベルへの変化がほぼ等しいレベル変換回路を提供することにある。

【0006】

この発明の他の目的は、内部に振幅の異なる2種類の信号伝送経路を有する半導体集積回路における信号伝送速度の高速化を可能にする半導体集積回路技術を提供することにある。

【0007】

この発明のさらに他の目的は、レベル変換回路を入出力部に有し振幅の小さな内部信号に基づいて振幅の大きな信号を形成して出力する半導体集積回路を用いたシステムの高速化を可能にすることにある。

【0008】

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0010】

すなわち、入力信号と同相のレベル変換された信号とそれ逆相の信号を出力するレベルシフト回路と、該レベルシフト回路の出力信号のうち早い方に応答して出力信号を生成する後段回路とによりレベル変換回路を構成し、後段回路には、第1電圧端子と第2電圧端子との間に2個のpチャネル型MOSトランジスタと2個のnチャネル型MOSトランジスタが直列に接続されたインバータ回路を用い、このうち1組を入力用トランジスタとして残る1組のトランジスタにはレベルシフト回路の出力信号に基づいて制御をかけて、次の変化にすばやく応答できるように構成したものである。

【0011】

本出願の第1の発明に係るレベル変換回路は、第1の信号振幅を有する第1信号を受ける第1入力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と同相の第2信号を出力する第1出力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と逆相の第3信号を出力する第2出力端子とを含む第1回路と、第1電圧端子と第2電圧端子との間にそのソースードレイン経路が直列に接続された第1pチャネル型MOSトランジスタ、第2pチャネル型MOSトランジスタ、第1nチャネル型MOSトランジスタ、第2nチャネル型MOSトランジスタを有し、上記第1pチャネル型MOSトランジスタのドレイン及び上記第1nチャネル型MOSトランジスタのドレインが第3出力端子に接続された第2回路とを備え、上記第2回路は、上記第1回路の第1出力端子から出力される第2信号と上記第1回路の第2出力端子から出力される第3信号のうち、信号レベルの変化が早い方の信号の信号変化に基づいて上

記第2の信号振幅を有する第4信号を形成して上記第3出力端子より出力するようにしたものである。

【0012】

上記した手段によれば、第1回路から出力される相補信号のうち信号レベルの変化が早い方の信号の信号変化に基づいて第2回路が出力信号を形成して出力するため、入力信号の立上がりの際はもちろんのこと立下がりの際にも出力信号がすばやく変化するようになり、信号の伝送速度を落とすことなく小さな振幅の信号を大きな振幅の信号に変換して伝送することができる。

【0013】

また、望ましくは、上記第1回路の第1出力端子から出力される第2信号または上記第1回路の第2出力端子から出力される第3信号を遅延して上記第2pチャネル型MOSトランジスタおよび第1nチャネル型MOSトランジスタ、または第1pチャネル型MOSトランジスタおよび第2nチャネル型MOSトランジスタに制御をかける遅延手段を設ける。これにより、第2回路を次の信号変化にすばやく応答できる状態に移行させて信号の伝送速度を高速化することができる。

【0014】

さらに、MOSトランジスタのゲート端子に入力された信号に応じて当該MOSトランジスタのソースもしくはドレイン端子から上記ゲート入力信号に応じた信号が出力される回路を1段と定義したとき、上記第1回路の上記第1入力端子から上記第2出力端子を経て上記第2回路の第3出力端子に到達する信号の経由する回路段数と、上記第1回路の上記第1入力端子から上記第3出力端子を経て上記第2回路の第3出力端子に到達する信号の経由する回路段数とが同一になるように構成する。これにより、入力信号と同相の信号と逆相の信号が第2回路に到達する時間がほぼ等しくなり、入力信号の立上がりの際はもちろんのこと立下がりの際にも出力信号がすばやく変化するようになり、異なる振幅の信号の伝送速度を高速化することができる。

【0015】

また、上記第2回路は、上記第1回路から出力される上記第2信号または第3

信号の変化に応じて上記第2 pチャネル型MOSトランジスタまたは第1 nチャネル型MOSトランジスタの状態が変化するように構成する。これにより、第2 pチャネル型MOSトランジスタまたは第1 nチャネル型MOSトランジスタのゲートサイズを小さくして前段の回路に対する負荷容量を小さくすることができ、第2信号および第3信号の変化を早くすることができる。

## 【0016】

さらに、上記第1 pチャネル型MOSトランジスタと第2 nチャネル型MOSトランジスタとそれぞれ並列に、プルアップ用の高抵抗素子とプルダウン用の高抵抗素子を接続する。これにより、第2回路が2つの論理しきい値を有し、入力信号がロウレベルからハイレベルに変化するときは論理しきい値が低くなるとともに入力信号がハイレベルからロウレベルに変化するときは論理しきい値が高くなつて、出力信号の変化が一層速くなる。

## 【0017】

また、上記第2 pチャネル型MOSトランジスタのゲート幅とゲート長との比よりも上記第1 pチャネル型MOSトランジスタのゲート幅とゲート長との比の方が大きくなるように設定され、上記第1 nチャネル型MOSトランジスタのゲート幅とゲート長との比よりも上記第2 nチャネル型MOSトランジスタのゲート幅とゲート長との比の方が大きくなるように設定する。これにより、第2 pチャネル型MOSトランジスタと第1 nチャネル型MOSトランジスタに対して抵抗性負荷として作用する第1 pチャネル型MOSトランジスタと第2 nチャネル型MOSトランジスタのオン抵抗を下げることができ、出力信号の変化が一層速くなる。

## 【0018】

さらに、上記第1信号を論理反転する第1インバータを備えると共に、上記第1回路は上記第1インバータの出力信号を受ける第2入力端子を有し、上記第1入力端子および第2入力端子に各々ゲート端子が接続された第3 nチャネル型MOSトランジスタおよび第4 nチャネル型MOSトランジスタと、上記第3 nチャネル型MOSトランジスタとソースードレイン経路が直列に接続されゲート端子に上記第4 nチャネル型MOSトランジスタのドレイン端子が接続された第3

pチャネル型MOSトランジスタと、上記第4nチャネル型MOSトランジスタとソースードレイン経路が直列に接続されゲート端子に上記第3nチャネル型MOSトランジスタのドレイン端子が接続された第4pチャネル型MOSトランジスタとから構成され、上記第4nチャネル型MOSトランジスタのドレイン端子に上記第1出力端子が接続され、上記第3nチャネル型MOSトランジスタのドレイン端子に上記第2出力端子が接続され、上記第1出力端子には上記第2信号を論理反転する第2インバータが接続されるようにする。これにより、第1回路はnチャネル型MOSトランジスタで第1信号とその反転信号を受けて出力である第2信号と第3信号を高速にロウレベルへ変化させるように動作することとなるので、第1回路から第2回路への信号の変化の伝達が速くなる。

#### 【0019】

さらに、上記第2回路は、上記第2pチャネル型MOSトランジスタまたは第1nチャネル型MOSトランジスタが上記第1回路から出力される上記第2信号または第3信号の変化に応じて状態が変化するように構成する。これにより、第2pチャネル型MOSトランジスタまたは第1nチャネル型MOSトランジスタのゲートサイズを小さくして前段の回路に対する負荷容量を小さくすることができ、第2信号および第3信号の変化を早くすることができる。

#### 【0020】

また、上記第1回路の第1出力端子から出力される第2信号または上記第2インバータの出力信号のうち変化が遅い方の信号変化に応じて上記第1pチャネル型MOSトランジスタおよび第2nチャネル型MOSトランジスタに制御をかける第3インバータを設ける。これにより、第2回路から出力される第4信号が変化した後に第1pチャネル型MOSトランジスタおよび第2nチャネル型MOSトランジスタが速やかにオンまたはオフ状態に移行されて、次の信号変化に対する準備を行なうことができる。

#### 【0021】

また、上記第1回路の第1出力端子から出力される第2信号または上記第1回路の第2出力端子から出力される第3信号のうち変化が遅い方の信号変化に応じて上記第2pチャネル型MOSトランジスタおよび第1nチャネル型MOSト

ンジスタまたは上記第1 pチャネル型MOSトランジスタおよび第2 nチャネル型MOSトランジスタを制御する信号を生成する遅延手段を設ける。これにより、第2回路から出力される第4信号が変化した後に第2 pチャネル型MOSトランジスタおよび第1 nチャネル型MOSトランジスタまたは上記第1 pチャネル型MOSトランジスタおよび第2 nチャネル型MOSトランジスタが速やかにオンまたはオフ状態に移行されて、次の信号変化に対する準備を行なうことができる。

#### 【0022】

さらに、上記第2回路は、上記第1回路から出力される上記第2信号または第3信号のうち変化が早い方の信号の変化に応答して上記第1 pチャネル型MOSトランジスタまたは第2 nチャネル型MOSトランジスタの状態が変化するように構成してもよい。これにより、第1 pチャネル型MOSトランジスタと第2 nチャネル型MOSトランジスタが基板バイアス効果でしきい値が変化して出力信号の変化が遅くなるのを回避することができる。

#### 【0023】

本願の第2の発明に係るレベル変換回路は、第1の信号振幅を有する第1信号を受ける第1入力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と同相の第2信号を出力する第1出力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と逆相の第3信号を出力する第2出力端子とを含む第1回路と、上記第1回路の第1出力端子から出力される第2信号と上記第1回路の第2出力端子から出力される第3信号のうち、信号レベルの変化が早い方の信号の信号変化に基づいて上記第2の信号振幅を有する第4信号を形成して上記第3出力端子より出力する第2回路とを備え、上記第2回路は、上記第1回路から出力される上記第2信号または第3信号とその逆相の信号をそれぞれ受け、信号の変化の方向に応じて上記第4信号の変化が速くなるように論理しきい値が変化するようにしたものである。

#### 【0024】

上記した手段によれば、信号の変化の方向に応じて上記第4信号の変化が速くなるように論理しきい値が変化するため、入力信号の立上がりの際はもちろんの

こと立下がりの際にも出力信号がすばやく変化するようになり、信号の伝送速度を落とすことなく小さな振幅の信号を大きな振幅の信号に変換して伝送することができる。

#### 【0025】

また、望ましくは、上記第2回路は、第1電圧端子と第2電圧端子との間にそのソースードレイン経路が直列に接続された第1 pチャネル型MOSトランジスタ、第2 pチャネル型MOSトランジスタ、第1 nチャネル型MOSトランジスタ、第2 nチャネル型MOSトランジスタを有し、上記第1 pチャネル型MOSトランジスタのドレイン及び上記1 nチャネル型MOSトランジスタのドレインが第3出力端子に接続されるとともに、第2 pチャネル型MOSトランジスタと第1 nチャネル型MOSトランジスタと並列にそれぞれ高抵抗素子が接続され、上記第1回路の第1出力端子から出力される第2信号または上記第1回路の第2出力端子から出力される第3信号を遅延して上記第2 pチャネル型MOSトランジスタおよび第1 nチャネル型MOSトランジスタ、または第1 pチャネル型MOSトランジスタおよび第2 nチャネル型MOSトランジスタに制御をかける遅延手段を備えるようにする。

#### 【0026】

これにより、第2 pチャネル型MOSトランジスタまたは第1 nチャネル型MOSトランジスタのゲートサイズを小さくして前段の回路に対する負荷容量を小さくすることができ、第2信号および第3信号の変化を早くすることができるとともに、第2回路から出力される第4信号が変化した後に第1 pチャネル型MOSトランジスタおよび第2 nチャネル型MOSトランジスタが速やかにオンまたはオフ状態に移行されて、次の信号変化に対する準備を行なうことができる。

#### 【0027】

本願の第3の発明に係るレベル変換回路は、第1の信号振幅を有する第1信号を受ける第1入力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と同相の第2信号を出力する第1出力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と逆相の第3信号を出力する第2出力端子とを含む第1回路と、上記第1回路の第1出力端子から出力される

第2信号と上記第1回路の第2出力端子から出力される第3信号のうち、信号レベルの変化が早い方の信号の信号変化に基づいて上記第2の信号振幅を有する第4信号を形成して上記第3出力端子より出力する第2回路とを備え、MOSトランジスタのゲート端子に入力された信号に応じて当該MOSトランジスタのソースもしくはドレイン端子から上記ゲート入力信号に応じた信号が出力される回路を1段と定義したとき、上記第1回路の上記第1入力端子から上記第2出力端子を経て上記第2回路の第3出力端子に到達する信号の経由する回路段数と、上記第1回路の上記第1入力端子から上記第3出力端子を経て上記第2回路の第3出力端子に到達する信号の経由する回路段数がそれぞれ4段以下となるように構成したものである。

#### 【0028】

上記した手段によれば、第1回路から出力される相補信号のうち信号レベルの変化が早い方の信号の信号変化に基づいて第2回路が出力信号を形成して出力するため、入力信号の立上がりの際はもちろんのこと立下がりの際にも出力信号がすばやく変化するようになり、信号の伝送速度を落とすことなく小さな振幅の信号を大きな振幅の信号に変換して伝送することができるとともに、上記第1回路の上記第1入力端子から上記第2出力端子を経て上記第2回路の第3出力端子に到達する信号の経由する回路段数と、上記第1回路の上記第1入力端子から上記第3出力端子を経て上記第2回路の第3出力端子に到達する信号の経由する回路段数がそれぞれ4段以下であるため、信号の伝達が高速に行なわれる。

#### 【0029】

本願の第4の発明に係るレベル変換回路は、第1の信号振幅を有する第1信号を受ける第1入力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と同相の第2信号を出力する第1出力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と逆相の第3信号を出力する第2出力端子とを含む第1回路と、上記第1回路の第1出力端子から出力される第2信号と上記第1回路の第2出力端子から出力される第3信号のうち、信号レベルの変化が早い方の信号の信号変化に基づいて上記第2の信号振幅を有する第4信号を形成して上記第3出力端子より出力する第2回路とを備え、MOSト

ンジスタのゲート端子に入力された信号に応じて当該MOSトランジスタのソースもしくはドレイン端子から上記ゲート入力信号に応じた信号が出力される回路を1段と定義したとき、上記第1回路の上記第1入力端子から上記第2出力端子を経て上記第2回路の第3出力端子に到達する信号の経由する回路段数と、上記第1回路の上記第1入力端子から上記第3出力端子を経て上記第2回路の第3出力端子に到達する信号の経由する回路段数がそれぞれ3段となるように構成したものである。

#### 【0030】

上記した手段によれば、第1回路から出力される相補信号のうち信号レベルの変化が早い方の信号の信号変化に基づいて第2回路が出力信号を形成して出力するため、入力信号の立上がりの際はもちろんのこと立下がりの際にも出力信号がすばやく変化するようになり、信号の伝送速度を落とすことなく小さな振幅の信号を大きな振幅の信号に変換して伝送することができるとともに、上記第1回路の上記第1入力端子から上記第2出力端子を経て上記第2回路の第3出力端子に到達する信号の経由する回路段数と、上記第1回路の上記第1入力端子から上記第3出力端子を経て上記第2回路の第3出力端子に到達する信号の経由する回路段数がそれぞれ3段であるため、信号の伝達がより一層高速に行なわれる。

#### 【0031】

本願の第5の発明は、内部回路では第1の振幅で信号が伝送され、外部の他の装置との間では上記第1の振幅よりも大きな第2の振幅で信号の送受信が行なわれる半導体集積回路において、上記第2の振幅の信号が出力される外部端子に接続された入出力回路に上述したような構成を有するレベル変換回路を設けたものである。これにより、内部信号は振幅の小さな信号で高速動作し、他の装置との間は振幅の大きな信号でデータの送受信を行なう半導体集積回路を用いたシステムの高速化が可能となる。

#### 【0032】

また、望ましくは、第2の振幅の信号が入力される外部端子に接続された入出力回路に、第2の振幅の信号を第1の振幅の信号に変換する逆レベル変換回路を設ける。これにより、他の装置から供給される振幅の大きな信号を内部回路に適

した振幅の小さな信号に変換して内部回路に供給することができる。

【0033】

本願の第6の発明は、第1の信号振幅を有する第1信号を受ける第1入力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と同相の第2信号を出力する第1出力端子と、上記第1の信号振幅よりも大きな第2の信号振幅を有し上記第1信号と逆相の第3信号を出力する第2出力端子とを含む第1回路と、上記第1回路の第1出力端子から出力される第2信号と上記第1回路の第2出力端子から出力される第3信号のうち、信号レベルの変化が早い方の信号の信号変化に基づいて上記第2の信号振幅を有する第4信号を形成して上記第3出力端子より出力する第2回路とを備えた第1のレベル変換回路と、上記第1回路と同一形式の回路からなる第2のレベル変換回路とを設けたものである。第2のレベル変換回路は第1のレベル変換回路よりも構成素子数が少ないので、要求される信号の伝送速度に応じて第1のレベル変換回路と第2のレベル変換回路とを使い分けることによって、高速性と占有面積の低減の両方を同時に達成することができる。

【0034】

また、望ましくは、上記第1のレベル変換回路は通常の動作信号を伝送する経路に設け、上記第2のレベル変換回路はテスト系の信号を伝送する経路に設けるようとする。テスト系の信号は伝送速度の高速性が要求されないので、上記第2のレベル変換回路をテスト系の信号を伝送する経路に設けることにより、占有面積の低減を図ることができる。

【0035】

【発明の実施の形態】

以下、本発明の好適な実施例を図面に基づいて説明する。

【0036】

図1は、本発明に係るレベル変換回路の第1の実施例を示す。図1において、MOSFETを表わす記号のゲート端子に丸印が付されているのはpチャネルMOSFETであり、丸印が付されていないのはnチャネルMOSFETである。

【0037】

図1のレベル変換回路は、入力信号INを反転する初段のインバータ11と、上記インバータ11で反転された信号/INと反転される前の信号INとを入力とするラッチ回路型のレベルシフト段12と、該レベルシフト段12の反転出力ノードn1側の信号を反転するインバータ13と、該インバータ13の出力信号と上記レベルシフト段12の非反転出力ノードn2側の信号とを入力とするインバータ型の出力段14と、該出力段14の入力信号を遅延して出力段14に制御をかける遅延段15とから構成されている。

#### 【0038】

上記インバータ11はVDD（例えば1.5V）を電源電圧とし、上記レベルシフト段12はVDDよりも高いVDD2（例えば3.3V）を電源電圧としている。レベルシフト段12よりも後段にあるインバータ13と出力段14と遅延段15も、レベルシフト段12と同じVDD2（例えば3.3V）を電源電圧としている。

#### 【0039】

レベルシフト段12は、pチャネルMOSFET Qp2とnチャネルMOSFET Qn2とが直列に接続されたP-MOS負荷型のインバータINV1、および、PチャネルMOSFET Qp3とnチャネルMOSFET Qn3とが直列に接続されたP-MOS負荷型のインバータINV2からなり、インバータINV1、INV2の出力ノードn1、n2が互いに他方のインバータのpチャネルMOSFET Qp3、Qp2のゲート端子に接続され、nチャネルMOSFET Qn2とQn3のゲート端子には入力信号INとそれをインバータ11で反転した信号/INが印加されている。

#### 【0040】

そして、本実施例においては、レベルシフト段12を構成するMOSFET Qp2、Qn2、Qp3、Qn3は、pチャネルMOSFET Qp2、Qp3のゲート幅Wp2とnチャネルMOSFET Qn2、Qn3のゲート幅Wn2との比Wp2 : Wn2およびWp3 : Wn3がそれぞれ1 : 15のよう、Wn2、Wn3の方がWp2、Wp3よりもそれぞれ大きくなるように設計されている。これにより、レベルシフト段12は、その出力ノードn1、n2の電位の立

ち下がりは立ち上がりよりも高速に行なわれるようになれる。

#### 【0041】

なお、この実施例では、MOSFET  $Q_{p2}$ ,  $Q_{n2}$ ,  $Q_{p3}$ ,  $Q_{n3}$ はゲート長が互いに同一であるため、pチャネルMOSFET  $Q_{p2}$ ,  $Q_{p3}$ のゲート幅 $W_{p2}$ とnチャネルMOSFET  $Q_{n2}$ と $Q_{n3}$ のゲート幅 $W_{n2}$ との比 $W_{p2} : W_{n2}$ および $W_{p3} : W_{n3}$ で素子特性の関係を表わしたが、本来、素子特性はゲート幅Wとゲート長Lの比 $W/L$ で表わされる。従って、 $Q_{p2}$ ,  $Q_{p3}$ と $Q_{n2}$ ,  $Q_{n3}$ の $W/L$ 比が $1:15$ となるように設定しても良い。以下の説明においてもゲート長が同一であるためゲート幅Wの比で説明するが、 $W/L$ の比で表わしても良い。

#### 【0042】

ところで、本実施例において、レベルシフト段12のp-MOSとn-MOSの $W/L$ 比を $1:15$ のようにn-MOSの方が極端に大きくなるように設計している理由は、レベルシフト段12の直流動作マージンを確保するためである。すなわち、実際の回路設計では、動作マージンを考慮して電源電圧が変動した場合にも回路が安定して動作することが重要である。このような回路の安定動作を考慮して、図1のようなレベルシフト段12で電源電圧 $V_{DD2}$ が高く $V_{DD}$ が低くなった条件下でも安定した動作を確保するためp-MOSとn-MOSの $W/L$ 比を $1:15$ のようにしたのである。

#### 【0043】

より具体的に説明すると、p-MOSを駆動する電源電圧 $V_{DD2}$ が高く、n-MOSを駆動する電源電圧 $V_{DD}$ が低いという条件下では、p-MOSのオン抵抗は小さく、逆にn-MOSのオン抵抗は大きくなる。仮にp-MOSとn-MOSのオン抵抗が同程度になるとすると、レベルシフト段12の出力 $V_{DD2}/2$ までしか下がらないことになる。これでは、次段の回路のn-MOSをオフさせるのに不充分である。よって、n-MOSのオン抵抗 $\ll$ p-MOSのオン抵抗が直流動作の必須条件となる。この条件が満たされないときは、最悪のケースでは回路の出力が反転しないことになったり、遅延時間が非常に大きなものとなってしまう。

## 【0044】

本実施例においては、VDD=1.5V, VDD2=3.3Vを前提として上記のようにW/L比を1:15のように設計したが、次世代のプロセスでは、VDDは1.5Vよりも下がると予想される。しかし、VDD2=3.3Vは、一般的なシステムで用いられているLV-TTLやPCI等の標準インターフェースと接続することが前提であるので、VDD2はプロセスが進んでも変更されないと考えられる。よって、今後はVDD2とVDDとの差が大きくなると考えられる。従って、本発明はそのような場合にも有効である。

## 【0045】

上記レベルシフト段12の反転出力ノードn1側の信号を反転するインバータ13はpチャネルMOSFET Qp4とnチャネルMOSFET Qn4とから構成されており、pチャネルMOSFET Qp4のゲート幅Wp4とnチャネルMOSFET Qn4のゲート幅Wn4との比Wp4:Wn4が8:1のように、Wp4の方がWn4よりも大きくなるように設計されている。つまり、インバータ13は、出力の立ち下がりよりも立ち上がりの方が高速に行なわれるよう構成されている。

## 【0046】

出力段14は2個のpチャネルMOSFET Qp5, Qp6と2個のnチャネルMOSFET Qn5, Qn6のソースードレイン経路が直列形態に接続されてなり、Qp6とQn5のゲート端子に上記レベルシフト段12の非反転出力ノードn2側の信号と反転出力ノードn1側の信号をインバータ13で反転した信号が印加されている。つまり、MOSFET Qp6とQn5のゲート端子に入力される信号は同相の信号であり、これによりMOSFET Qp6とQn5は相補的にオン、オフ制御される。そして、この出力段14の出力ノードn4に回路の出力端子OUTが接続されている。

## 【0047】

また、MOSFET Qp5とQn6のゲート端子には遅延段15の出力信号が印加されており、Qp5はQp6よりも少し遅れてQp6と逆のオン、オフ状態つまりQp6がオンのときはオフ、Qp6がオフのときはオンに、またQn6

はQn5よりも少し遅れてQn5と逆のオン、オフ状態にそれぞれ移行されるようになっている。さらに、MOSFET Qp5とQn6と並列にそれぞれMOSFET Qp11とQn11が接続されており、Qp11, Qn11はそれぞれゲート端子が電源電圧VDD2と接地電位VSSに接続されて常時オン状態にされてQp5, Qn6よりも高い抵抗を有する高抵抗素子として機能するようにされている。

#### 【0048】

特に制限されるものでないが、出力段14を構成するpチャネルMOSFET Qp6のゲート幅Wp6は、レベルシフト段12のpチャネルMOSFET Qp2やQp3のゲート幅Wp2との比Wp6 : Wp2が約10 : 1となるよう設計されている。一方、出力段14を構成するnチャネルMOSFET Qn5のゲート幅Wn5は、レベルシフト段12のnチャネルMOSFET Qn2やQn3のゲート幅Wn2との比Wn5 : Wn2は約1 : 3とされる。

#### 【0049】

また、高抵抗用MOSFET Qp11のゲート幅Wp11とQp5のゲート幅Wp5との比Wp11 : Wp5は約1 : 10に、高抵抗用MOSFET Qn11のゲート幅Wn11とQn6のゲート幅Wn5との比Wn11 : Wn6は約1 : 10に設計されている。さらに、Qp11と並列のMOSFET Qp5のゲート幅Wp5と直列のQp6のゲート幅Wp6との比Wp5 : Wp6は約2 : 1、Qn11と並列のMOSFET Qn6のゲート幅Wn6と直列のQn5のゲート幅Wn5との比Wn6 : Wn5は約2 : 1に設計されている。

#### 【0050】

遅延段15は、2つのpチャネルMOSFET Qp9, Qp10と2つのnチャネルMOSFET Qn9, Qn10のソースードレイン経路が直列に接続されてなり、このうちQp10, Qn9のゲート端子には出力段14のMOSFET Qn5のゲート端子に入力される信号と同一の信号が入力され、Qp9, Qn10のゲート端子には出力段14のMOSFET Qp6のゲート端子に入力される信号と同一の信号が入力され、いずれか遅い方の信号を反転して、出力段14のMOSFET Qp5, Qn6のゲート端子に制御をかける。

## 【0051】

これによって、出力段14を構成するpチャネルMOSFET Q<sub>p</sub>5とnチャネルMOSFET Q<sub>n</sub>6は相補的にオン、オフ制御される。また、出力段14の入力信号がハイレベルに変化してMOSFET Q<sub>n</sub>5がオンされて出力がハイレベルからロウレベルに変化すると少し遅れてpチャネルMOSFET Q<sub>p</sub>5がオンされ、nチャネルMOSFET Q<sub>n</sub>6がオフされて、出力端子OUTはQ<sub>n</sub>5とQ<sub>n</sub>11を介して接地電位に固定される。一方、出力段14の入力信号がロウレベルに変化してMOSFET Q<sub>p</sub>6がオンされて出力がハイレベルからロウレベルに変化すると少し遅れてpチャネルMOSFET Q<sub>p</sub>5がオフされ、nチャネルMOSFET Q<sub>n</sub>6がオンされて、出力端子OUTはQ<sub>p</sub>6とQ<sub>p</sub>11を介して電源電圧VDD2に固定される。

## 【0052】

このように、実施例のレベル変換回路は、出力段14のMOSFET Q<sub>p</sub>6, Q<sub>n</sub>5のオン、オフに応じて出力端子OUTの電位が確定すると、遅延段15により速やかに出力段14のMOSFET Q<sub>p</sub>5とQ<sub>n</sub>6がそれぞれQ<sub>p</sub>6, Q<sub>n</sub>5と逆のオン、オフ状態に移行されるため、出力段14を次の入力信号変化に対して直ちに応答可能な準備状態にさせることができる。

## 【0053】

なお、図1の実施例においては、遅延段15が、図2に示すように、出力段14のMOSFET Q<sub>p</sub>6, Q<sub>n</sub>5のゲート端子に入力される信号a, cのうちいずれか変化の遅い方の信号に応じて出力dが変化され、出力段14のMOSFET Q<sub>p</sub>5, Q<sub>n</sub>6のゲート端子に制御をかけるようにするため、直列形態の4つのMOSFET Q<sub>p</sub>9, Q<sub>p</sub>10, Q<sub>n</sub>9, Q<sub>n</sub>10により構成されている。しかし、出力段14のMOSFET Q<sub>p</sub>6, Q<sub>n</sub>5のいずれか一方、例えばQ<sub>n</sub>5のゲート端子に入力される信号の方がロウレベルへの変化が遅い場合あるいはロウレベルへの変化タイミングの差が小さい場合には、Q<sub>p</sub>9またはQ<sub>p</sub>10を省略してレイアウト面積を少なくするようにしても良い。同様に、タイミングによってはQ<sub>n</sub>9またはQ<sub>n</sub>10を省略しても良い。

## 【0054】

次に、図1の実施例のレベル変換回路の動作を説明する。

【0055】

先ず、入力信号INがロウレベルからハイレベルへ変化する場合を考える。このとき、入力信号の前の状態がロウレベルであるため、出力段14のnチャネルMOSFET Qn5はオフ状態に、またpチャネルMOSFET Qp6はオン状態にされているとともに、遅延段15はその出力がハイレベルとなって出力段14のnチャネルMOSFET Qn6をオン状態に、またpチャネルMOSFET Qp5をオフ状態にさせている。そのため、出力段14はオン状態のpチャネルMOSFET Qp11, Qp6を介してハイレベルを出力している状態にある。

【0056】

この状態で、入力信号INがロウレベルからハイレベルへ変化すると、レベルシフト段12はnチャネルMOSFET Qn2の方がpチャネルMOSFET Qp2よりもゲート幅が広いため、出力ノードn1がハイレベルからロウレベルへ速やかに変化する。そして、この電位変化はインバータ13を介して若干遅れたタイミングで出力段14のMOSFET Qn5のゲート端子に伝達され、Qn5をオフ状態からオン状態へ移行させる。しかし、このときインバータ13はnチャネルMOSFET Qn4よりもpチャネルMOSFET Qp4の方のゲート幅が広いため、論理しきい値はVDD2に近く、ロウレベルからハイレベルへの変化は速やかに行なわれる所以、このときのインバータ13での遅延時間はかなり小さい。その結果、出力は速やかにハイレベルからロウレベルへ変化することとなる。

【0057】

一方、レベルシフト段12のnチャネルMOSFET Qn3は入力信号INを反転するインバータ11の出力信号によりQn2のオンよりも少し遅れてオフされる。このときpチャネルMOSFET Qp3は出力ノードn1のロウレベルへの電位変化により比較的速やかにオフ状態からオン状態への移行が開始される。しかし、pチャネルMOSFET Qp3はnチャネルMOSFET Qn3よりもゲート幅が狭いため、出力ノードn2のロウレベルからハイレベルへの

変化は、出力ノードn1のハイレベルからロウレベルへの変化よりも少し遅くなる。そして、この電位変化は出力段14のMOSFET Qp6のゲート端子に直ちに伝達され、Qp6をオン状態からオフ状態へ移行させる。

#### 【0058】

上記のように、レベルシフト段12の正相側を伝達する信号はレベルシフト段12およびインバータ13を介して出力段14のN-MOSに伝達され、レベルシフト段12の逆相側を伝達する信号はインバータ11およびレベルシフト段12を介して出力段14のP-MOSに伝達されるため、それぞれインバータ2段分の遅延がもたらされるので、ほぼ同時に到達することとなる。つまり、論理動作的には、インバータ13はレベルシフト段12の正相側でなく逆相側に入れることが可能であるが、そのようにするとレベルシフト段12の正相側を伝達する信号はインバータ3段分の遅延がもたらされ、レベルシフト段12の逆相側を伝達する信号はインバータ1段分の遅延がもたらされることとなり、遅延時間がアンバランスになって遅延段14のP-MOS側とN-MOS側がほぼ同一の負荷駆動力を有する場合には、回路の動作速度は遅い方の信号によって規制されることとなるが、本実施例ではそのようなことがない。

#### 【0059】

さらに、この実施例のレベル変換回路は、nチャネルMOSFET Qn2とpチャネルMOSFET Qp2のゲート幅の比Wp2 : Wn2が1 : 15のように、Wn2の方がWp2よりも大きく設計されているため、図10に示されている従来のレベル変換回路に比べてノードn1のハイレベルからロウレベルへの信号変化は速いので、インバータ13が設けられていても、出力のロウレベルへの立ち下がりは従来のレベル変換回路に遜色のない速度で行なわれる。しかも、インバータ13はその論理しきい値が高く設定されているので、インバータ13での遅延時間は極めて小さなものとなる。

#### 【0060】

さらに、出力段14の入力がハイレベルからロウレベルに変化して出力信号がロウレベルからハイレベルに切り替わる際には、図3(A)に示すようにゲート幅の大きなpチャネルMOSFET Qp5がオンされ、nチャネルMOSFE

T Qn6がオフされており、高抵抗用MOSFET Qn11はゲート幅が小さいため、出力段14全体としての論理しきい値はQp5, Qn6が共にオンしている場合に比べて高い方へシフトしている。その結果、出力のロウレベルからハイレベルへの切替わりが速くなる。

#### 【0061】

次に、入力信号INがハイレベルからロウレベルへ変化する場合を考える。このとき、入力信号の前の状態がハイレベルであるため、出力段14のnチャネルMOSFET Qn5はオン状態に、またpチャネルMOSFET Qp6はオフ状態にされているとともに、遅延段15はその出力がロウレベルとなって出力段14のnチャネルMOSFET Qn6をオフ状態に、またpチャネルMOSFET Qp5をオン状態にさせている。そのため、出力段14はオン状態のnチャネルMOSFET Qn5, Qn11を介してロウレベルを出力している状態にある。

#### 【0062】

この状態で、入力信号INがハイレベルからロウレベルへ変化すると、インバータ11により反転された信号/INがゲート端子に入力されているnチャネルMOSFET Qn3がオフからオン状態にされる。このときレベルシフト段12はnチャネルMOSFET Qn3の方がpチャネルMOSFET Qp3よりもゲート幅が広いため、出力ノードn2がハイレベルからロウレベルへ速やかに変化する。ただし、出力ノードn2のハイレベルからロウレベルへの変化は、出力ノードn1がハイレベルからロウレベルへ変化する場合に比べてインバータ11の遅延分遅くなる。しかし、出力ノードn1のハイレベルからロウレベルへの変化はインバータ13を介して出力段14に伝達されていたのに対し、この出力ノードn2のハイレベルからロウレベルへ変化は直ちに出力段14に伝達されるため、両者の伝達時間はほぼ同程度になる。

#### 【0063】

一方、レベルシフト段12のnチャネルMOSFET Qn2は入力信号INがハイレベルからロウレベルへ変化するとオン状態からオフ状態に移行される。また、pチャネルMOSFET Qp2は上記反転入力信号/INによるnチャ

ネルMOSFET Qn3のオフからオン状態への移行によって出力ノードn2がロウレベルに変化されるのに応じてオフ状態からオン状態に移行される。このとき、nチャネルMOSFET Qn2よりもpチャネルMOSFET Qp2の方がゲート幅は狭いため、出力ノードn1のロウレベルからハイレベルへの変化は比較的ゆっくりと行なわれるが、出力ノードn2のハイレベルからロウレベルへ変化は上述のように比較的急速に行なわれる所以、それほど遅くなることはない。そして、出力ノードn1の電位変化はインバータ13を介して若干遅れたタイミングで出力段14のMOSFET Qn5のゲート端子に伝達され、Qn5をオン状態からオフ状態へ移行させる。

#### 【0064】

また、上記のように出力がロウレベルからハイレベルへ変化すると遅延段15により少し遅れて出力段14のpチャネルMOSFET Qp5をオフ状態に、またnチャネルMOSFET Qn6をオン状態にさせ、出力段14は入力信号の次のロウレベルからハイレベルへの変化に直ちに応答できる状態になる。つまり、入力信号のロウレベルからハイレベルへの変化の初期段階では、前の信号でオンされているnチャネルMOSFET Qn6を通して電流が流れ出力電位が速やかに接地電位に向かって変化し、ある程度まで変化するとQn6がオフされその後は抵抗として機能するMOSFET Qn11を通して出力電位が固定される。逆の動作の場合も同様である。

#### 【0065】

しかも、上記のように、この実施例のレベル変換回路は、レベルシフト段12の非反転出力ノードn2側の信号を生成するpチャネルMOSFET Qp3とnチャネルMOSFET Qn3のゲート幅の比Wp3:Wn3が1:15のように、Wn3の方がWp3よりも大きく設計されているため、図10に示されている従来のレベル変換回路に比べてノードn2のハイレベルからロウレベルへの信号変化は速くなる。これとともに、出力段14の入力がロウレベルからハイレベルに変化して出力信号がハイレベルからロウレベルに切り替わる際には、図3(B)に示すようにゲート幅の大きなpチャネルMOSFET Qp5がオフされ、nチャネルMOSFET Qn6がオンされており、高抵抗用MOSFET

Q<sub>p</sub>11はゲート幅が小さいため、出力段14全体としての論理しきい値はQ<sub>p</sub>5, Q<sub>n</sub>6が共にオンしている場合に比べて低い方へシフトしている。その結果、出力のハイレベルからロウレベルへの切替わりが速くなる。

#### 【0066】

なお、レベルシフト段12の反転出力ノードn1から出力段14への信号の伝達はインバータ13を介していてもこのインバータ13における遅延は、レベルシフト段12の逆相側の信号伝達経路上にあるインバータ11の遅延と同程度である。従って、図11に破線Bで示すように本実施例のレベル変換回路の出力のハイレベルへの立ち上がりは従来のレベル変換回路に比べて早く行なわれるようになる。なお、図11に示されている波形は、本実施例のレベル変換回路および従来のレベル変換回路をシミュレーションした結果得られた波形である。

#### 【0067】

図4には、図1のレベル変換回路の変形例が示されている。図4のレベル変換回路は、図1の実施例における出力段14のpチャネルMOSFET Q<sub>p</sub>5, Q<sub>p</sub>11とQ<sub>p</sub>6との接続関係を逆にし、nチャネルMOSFET Q<sub>n</sub>6, Q<sub>n</sub>11とQ<sub>n</sub>5との接続関係を逆にしたものである。

#### 【0068】

図1の実施例の回路では、MOSFETのソース・ドレイン領域とウェル領域との間のPN接合が順方向にバイアスされてリーク電流が流れるのを防止するために、pチャネルMOSFET Q<sub>p</sub>5とQ<sub>p</sub>6のn型ウェル領域の電位はチップ内で最も高いVDD2にされ、nチャネルMOSFET Q<sub>n</sub>5とQ<sub>n</sub>6のp型ウェル領域の電位はチップ内で最も低い接地電位にされる。そのため、駆動用MOSFETであるQ<sub>p</sub>6はQ<sub>p</sub>5のオン抵抗による電位降下でソース電位が下がってソース電位よりもウェル電位の方が高くなり、またQ<sub>n</sub>5は逆にソース電位よりもウェル電位の方が低くなる。

#### 【0069】

その結果、ウェル電位のバックバイアス効果によりQ<sub>p</sub>5, Q<sub>n</sub>6のしきい値が高くなるので、pチャネルMOSFET Q<sub>p</sub>5とQ<sub>p</sub>6のサイズ（ゲート幅）が同一で、nチャネルMOSFET Q<sub>n</sub>6とQ<sub>n</sub>5のサイズが同一の場合に

は、図4のようにQ<sub>p</sub>5, Q<sub>p</sub>11とQ<sub>p</sub>6との接続関係およびQ<sub>n</sub>6, Q<sub>n</sub>11とQ<sub>n</sub>5との接続関係を図1と逆にして、駆動用MOSFET Q<sub>p</sub>6のソースを電源電圧VDD2に接続し、Q<sub>n</sub>5のソースを接地点に接続するのが望ましい。

## 【0070】

ただし、図1の実施例の回路では、Q<sub>p</sub>5のゲート幅W<sub>p</sub>5をQ<sub>p</sub>6のゲート幅W<sub>p</sub>6よりも大きくしQ<sub>n</sub>6のゲート幅W<sub>n</sub>6をQ<sub>n</sub>5のゲート幅W<sub>n</sub>5よりも大きくしているので、図1のような接続が望ましい。仮にこのようなサイズ関係でQ<sub>p</sub>5, Q<sub>p</sub>11とQ<sub>p</sub>6との接続関係を逆にし、Q<sub>n</sub>6, Q<sub>n</sub>11とQ<sub>n</sub>5との接続関係を逆にすると、ソース・ドレインとウェル間の寄生容量はサイズの大きなQ<sub>p</sub>5, Q<sub>n</sub>6の方が大きい。そのため、駆動用MOSFET Q<sub>p</sub>6, Q<sub>n</sub>5の負荷容量としてQ<sub>p</sub>5, Q<sub>n</sub>6のソース-ウェル間寄生容量とドレン-ウェル間寄生容量の両方が見えてしまい、信号の変化が遅くなるためである。

## 【0071】

なお、Q<sub>p</sub>5, Q<sub>p</sub>11とQ<sub>p</sub>6との接続関係およびQ<sub>n</sub>6, Q<sub>n</sub>11とQ<sub>n</sub>5との接続関係が図1のような場合には、Q<sub>p</sub>5, Q<sub>n</sub>6のソースは電源電圧に接続されるため、駆動用MOSFET Q<sub>p</sub>6, Q<sub>n</sub>5の負荷容量としてはQ<sub>p</sub>5, Q<sub>n</sub>6のドレン-ウェル間寄生容量しか見えないので、接続が逆の場合よりも信号の変化は速くなる。また、図1の実施例で説明したように、駆動用MOSFET Q<sub>p</sub>6, Q<sub>n</sub>5の(ゲート幅)を小さくした方が、ゲート容量が小さくなるので前段の回路にとって負荷容量が小さくなる一方、Q<sub>p</sub>5, Q<sub>n</sub>6の(ゲート幅)を大きくした方がオン抵抗は小さくなるので高速動作が可能である。

## 【0072】

図5は、本発明に係るレベル変換回路の第2の実施例を示す。図5のレベル変換回路は、入力信号INを反転するインバータ11と、上記インバータ11で反転された信号/INと反転される前の信号INとを入力とするラッチ回路型のレベルシフト段12と、該レベルシフト段12の反転出力ノードn1側の信号を反転するインバータ13と、該インバータ13の出力信号と上記レベルシフト段1

2の非反転出力ノードn2側の信号とを入力とするプッシュプル型の出力段14と、該出力段14の出力信号を遅延して出力段14にフィードバックをかける遅延段15と、上記出力段14の出力ノードn4の信号をラッチする出力ラッチ段16とから構成されている。上記インバータ11とレベルシフト段12とインバータ13は、図1の実施例と同様の構成を有するので、詳しい説明は省略する。

#### 【0073】

出力段14は2個のpチャネルMOSFET Q<sub>p</sub>5, Q<sub>p</sub>6と2個のnチャネルMOSFET Q<sub>n</sub>5, Q<sub>n</sub>6とが直列形態に接続されてなり、Q<sub>p</sub>6とQ<sub>n</sub>5のゲート端子に上記レベルシフト段12の非反転出力ノードn2側の信号と反転出力ノードn1側の信号をインバータ13で反転した信号が印加されている。そして、この出力段14の出力ノードn4に回路の出力端子OUTが接続されており、出力段14の出力ノードn4の電位が変化されるとそれが直ちに出力端子OUTに反映される。また、MOSFET Q<sub>p</sub>5とQ<sub>n</sub>6のゲート端子には遅延段15の出力信号が印加されており、Q<sub>p</sub>5はQ<sub>p</sub>6よりも少し遅れてQ<sub>p</sub>6と逆のオン、オフ状態に、またQ<sub>n</sub>6はQ<sub>n</sub>5よりも少し遅れてQ<sub>n</sub>5と逆のオン、オフ状態にそれぞれ移行されるようになっている。

#### 【0074】

出力段14を構成するpチャネルMOSFET Q<sub>p</sub>6のゲート幅W<sub>p</sub>6は、レベルシフト段12のpチャネルMOSFET Q<sub>p</sub>2やQ<sub>p</sub>3のゲート幅W<sub>p</sub>2との比W<sub>p</sub>6 : W<sub>p</sub>2が約10 : 1となるように設計されている。一方、出力段14を構成するnチャネルMOSFET Q<sub>n</sub>5のゲート幅W<sub>n</sub>5は、レベルシフト段12のnチャネルMOSFET Q<sub>n</sub>2やQ<sub>n</sub>3のゲート幅W<sub>n</sub>2との比W<sub>n</sub>6 : W<sub>n</sub>2は約1 : 3とされる。

#### 【0075】

遅延段15は、2つのインバータINV4, INV5が継続接続されてなり、出力段14の出力を遅延して出力段14を構成するpチャネルMOSFET Q<sub>p</sub>5とnチャネルMOSFET Q<sub>n</sub>6のゲート端子に出力段14の出力信号と同相の信号でフィードバックをかける。従って、出力段14を構成するpチャネルMOSFET Q<sub>p</sub>5とnチャネルMOSFET Q<sub>n</sub>6は相補的にオン、オ

フ制御される。これにより、出力段14の出力信号がハイレベルに変化すると少し遅れてnチャネルMOSFET Q<sub>n</sub>6がオンされ、pチャネルMOSFET Q<sub>p</sub>5がオフされる。また、出力段14の出力信号がロウレベルに変化すると少し遅れてnチャネルMOSFET Q<sub>n</sub>6がオフされ、pチャネルMOSFET Q<sub>p</sub>5がオンされる。

#### 【0076】

つまり、出力段14の入力信号がハイレベルに変化してpチャネルMOSFET Q<sub>p</sub>6がオフしnチャネルMOSFET Q<sub>n</sub>5がオンされると、出力がロウレベルに変化して少し遅れてQ<sub>n</sub>6がオフされ、出力ノードn4がハイインピーダンスにされる。また、出力段14の入力信号がロウレベルに変化してpチャネルMOSFET Q<sub>p</sub>6がオンしnチャネルMOSFET Q<sub>n</sub>5がオフされると、出力がハイレベルに変化して少し遅れてQ<sub>p</sub>5がオフされ、出力ノードn4がハイインピーダンスにされる。

#### 【0077】

そして、このように出力段14の出力ノードn4がハイインピーダンスにされても、その前に出力ラッチ段16が出力段14の出力電位をラッチすることにより、出力端子OUTの電位は直前の状態のまま保持されることとなる。しかも、出力段14の出力電位が確定すると遅延段15により速やかに出力段14のMOSFET Q<sub>p</sub>5とQ<sub>n</sub>6がそれぞれQ<sub>p</sub>6, Q<sub>n</sub>5と逆のオン、オフ状態に移行されるため、出力段14を次の入力信号変化に対して直ちに応答可能な準備状態にさせることができる。

#### 【0078】

出力ラッチ段16は、出力段14の出力信号を反転するCMOSインバータINV6と該インバータの出力をさらに反転するCMOSインバータINV5とから構成され、インバータINV5の出力ノードn5が回路の出力端子OUTに接続されることにより、出力段14と同相の信号を出力するとともに、出力段14の出力ノードn4がハイインピーダンス状態にされても直前の出力電位を保持する。また、前段のインバータINV6を構成するMOSFET Q<sub>p</sub>8, Q<sub>n</sub>8は、出力段14を構成するMOSFET Q<sub>p</sub>5, Q<sub>n</sub>5よりも駆動力すなわち

ゲート幅が小さくなるように形成されることにより、出力段14の出力ノードn4の電位が反転するように出力段14が駆動されると出力ラッチ段16の出力ノードn5の電位も反転するように構成されている。

## 【0079】

次に、図5の実施例のレベル変換回路の動作を説明する。

## 【0080】

先ず、入力信号INがロウレベルからハイレベルへ変化する場合を考える。このとき、入力信号の前の状態がロウレベルであるため、出力段14のnチャネルMOSFET Qn5はオフ状態に、またpチャネルMOSFET Qp6はオン状態にされるとともに、遅延段15はその出力がハイレベルとなって出力段14のnチャネルMOSFET Qn6をオン状態に、またpチャネルMOSFET Qp5をオフ状態にする。そのため、出力段14はハイインピーダンス状態にあるが、出力ノードn4がハイレベルに変化した直後の出力状態は、出力ラッチ回路15によりラッチされているため、出力はハイレベルに保持されている。

## 【0081】

この状態で、入力信号INがロウレベルからハイレベルへ変化すると、レベルシフト段12はnチャネルMOSFET Qn2の方がpチャネルMOSFET Qp2よりもゲート幅が広いため、出力ノードn1がハイレベルからロウレベルへ速やかに変化する。そして、この電位変化はインバータ13を介して若干遅れたタイミングで出力段14のMOSFET Qn5のゲート端子に伝達され、Qn5をオフ状態からオン状態へ移行させる。

## 【0082】

一方、レベルシフト段12のnチャネルMOSFET Qn3は入力信号INを反転するインバータ11の出力信号によりQn2のオンよりも少し遅れてオフされる。このときpチャネルMOSFET Qp3は出力ノードn1のロウレベルへの電位変化により比較的速やかにオフ状態からオン状態への移行が開始される。しかし、pチャネルMOSFET Qp3はnチャネルMOSFET Qn3よりもゲート幅が狭いため、出力ノードn2のロウレベルからハイレベルへの変化は、出力ノードn1のハイレベルからロウレベルへの変化よりも少し遅くな

る。そして、この電位変化は出力段14のMOSFET Q<sub>p</sub>6のゲート端子に直ちに伝達され、Q<sub>p</sub>6をオン状態からオフ状態へ移行させる。その結果、出力は速やかにハイレベルからロウレベルへ変化することとなる。

#### 【0083】

上記のように、レベルシフト段12の正相側を伝達する信号はインバータ13を介して出力段14のN-MOSに伝達され、レベルシフト段12の逆相側を伝達する信号はインバータ11を介して出力段14のP-MOSに伝達されるため、それぞれインバータ1段分の遅延がもたらされるので、ほぼ同時に到達することとなる。しかも、この実施例のレベル変換回路は、インバータ13が設けられているても、nチャネルMOSFET Q<sub>n</sub>2とpチャネルMOSFET Q<sub>p</sub>2のゲート幅の比W<sub>p</sub>2 : W<sub>n</sub>2が1 : 15のように、W<sub>n</sub>2の方がW<sub>p</sub>2よりも大きく設計されているため、図10に示されている従来のレベル変換回路に比べて信号変化が速いので、出力のロウレベルへの立ち下がりは従来のレベル変換回路に遜色のない速度で行なわれる。

#### 【0084】

次に、入力信号INがハイレベルからロウレベルへ変化する場合を考える。このとき、入力信号の前の状態がハイレベルであるため、出力段14のnチャネルMOSFET Q<sub>n</sub>5はオン状態に、またpチャネルMOSFET Q<sub>p</sub>6はオフ状態にされるとともに、遅延段15はその出力がロウレベルとなって出力段14のnチャネルMOSFET Q<sub>n</sub>6をオフ状態に、またpチャネルMOSFET Q<sub>p</sub>5をオン状態にしている。そのため、出力段14はハイインピーダンス状態にあるが、出力ノードn4がロウレベルに変化した直後の出力状態は、出力ラッチ回路15によりラッチされているため、出力はロウレベルに保持されている。

#### 【0085】

この状態で、入力信号INがハイレベルからロウレベルへ変化すると、インバータ11により反転された信号/INがゲート端子に入力されているnチャネルMOSFET Q<sub>n</sub>3がオフからオン状態にされる。このときレベルシフト段12はnチャネルMOSFET Q<sub>n</sub>3の方がpチャネルMOSFET Q<sub>p</sub>3よ

りもゲート幅が広いため、出力ノードn2がハイレベルからロウレベルへ速やかに変化する。ただし、出力ノードn2のハイレベルからロウレベルへの変化は、出力ノードn1がハイレベルからロウレベルへ変化する場合に比べてインバータ11の遅延分遅くなる。しかし、出力ノードn1のハイレベルからロウレベルへの変化はインバータ13を介して出力段14に伝達されていたのに対し、この出力ノードn2のハイレベルからロウレベルへ変化は直ちに、出力段14に伝達されるため、両者の伝達時間はほぼ同程度になる。

#### 【0086】

一方、レベルシフト段12のnチャネルMOSFET Qn2は入力信号INがハイレベルからロウレベルへ変化するとオン状態からオフ状態に移行される。また、pチャネルMOSFET Qp2は上記反転入力信号/INによるnチャネルMOSFET Qn3のオフからオン状態への移行によって出力ノードn2がロウレベルに変化されるのに応じてオフ状態からオン状態に移行される。このとき、nチャネルMOSFET Qn2よりもpチャネルMOSFET Qp2の方がゲート幅は狭いため、出力ノードn1のハイレベルからロウレベルへの変化は比較的ゆっくりと行なわれるが、出力ノードn2のハイレベルからロウレベルへ変化は上述のように比較的急速に行なわれるので、それほど遅くすることはない。

#### 【0087】

そして、出力ノードn1の電位変化はインバータ13を介して若干遅れたタイミングで出力段14のMOSFET Qn5のゲート端子に伝達され、Qn5をオン状態からオフ状態へ移行させる。しかし、インバータ13は、pチャネルMOSFET Qp4の方がnチャネルMOSFET Qn4よりもゲート幅が広く設計されているため出力の変化は比較的速く、出力ノードn1から出力段14のMOSFET Qn5のゲート端子への信号伝達は速やかに行なわれる。その結果、出力段14の出力ノードn3の電位すなわち出力電圧が速やかにロウレベルからハイレベルへ変化される。

#### 【0088】

また、上記のように出力がロウレベルからハイレベルへ変化すると遅延段15

により少し遅れて出力段14のpチャネルMOSFET Q<sub>p</sub>5をオフ状態に、またnチャネルMOSFET Q<sub>n</sub>6をオン状態にさせ、出力段14はハイインピーダンス状態になるが、その間に出力段14の出力ノードn3の電位は出力ラッチ回路15によりラッチされて、出力のハイレベル状態が保持される。

## 【0089】

上記のように、この実施例のレベル変換回路は、レベルシフト段12の非反転出力ノードn2側の信号を生成するpチャネルMOSFET Q<sub>p</sub>3とnチャネルMOSFET Q<sub>n</sub>3のゲート幅の比W<sub>p</sub>2:W<sub>n</sub>2が1:15のように、W<sub>n</sub>3の方がW<sub>p</sub>3よりも大きく設計されているため、図10に示されている従来のレベル変換回路に比べて信号変化が速くなる。これとともに、レベルシフト段12の反転出力ノードn1から出力段14への信号の伝達はインバータ13を介していてもこのインバータ13における遅延は、レベルシフト段12の逆相側の信号伝達経路上にあるインバータ11の遅延と同程度であるので、本実施例のレベル変換回路の出力のハイレベルへの立ち上がりは従来のレベル変換回路に比べて速く行なわれるようになる。

## 【0090】

図6には、図5の実施例のレベル変換回路の変形例を示す。図6の回路は、図5の回路における出力段14を構成するpチャネルMOSFET Q<sub>p</sub>5, Q<sub>p</sub>6の代わりにnチャネルMOSFET Q<sub>n</sub>5', Q<sub>n</sub>6'を使用するとともに、これを駆動するためにレベルシフト段12の非反転出力ノードn2と出力段12との間にもインバータ17を設けるようにしたものである。また、nチャネルMOSFET Q<sub>n</sub>5', Q<sub>n</sub>6'で生成された信号により、出力ラッチ段16をQ<sub>n</sub>5, Q<sub>n</sub>6による論理（出力ロウレベル）と逆の論理状態に反転できるようにするため、MOSFET Q<sub>n</sub>5'のドレイン端子が出力ラッチ段16のCMOSインバータINV5の入力端子に接続されている。その他の構成は図3と同様である。この実施例のレベル変換回路においても従来のレベル変換回路に比べて出力信号の立上がりが速くなるとという利点がある。

## 【0091】

図7には、本発明に係るレベル変換回路を双方向バッファ回路に応用した場合

の構成例が示されている。なお、図7に示されている双方向バッファ回路は、例えば内部回路が1.5Vのような電源電圧で動作し、他のLSIとは0V~3.3VのようなLV-TTLレベルのインターフェースで信号の送受信を行なうように設計される半導体集積回路に好適な回路である。

#### 【0092】

図7において、21a, 21bは内部論理回路、22a, 22bが前記実施例で説明した昇圧型のレベル変換回路、23は外部端子、24a, 24bは電源電圧はVDD2と接地点との間に直列に接続された出力用MOSFET、25a~25dは出力用MOSFET 24a, 24bのゲートを制御する信号を生成する論理ゲート回路であり、レベル変換回路22a, 22bと出力用MOSFET 24a, 24bと論理ゲート回路25a~25dとによりトライステートの出力バッファ回路が構成される。また、30は降圧型のレベル変換回路からなる入力バッファ回路、21cは内部回路である。

#### 【0093】

上記レベル変換回路24a, 24bのうち24aには内部回路21bから出力すべきデータ信号が入力され、24bには内部回路から供給されるデータイネーブル信号ENと図示しない外部端子等から供給されるテスト系のイネーブル信号TENとの論理和をとるNORゲート25aの出力信号が入力されている。内部回路21a, 21bおよびNORゲート25aの電源電圧はVDD(例えば1.5V)であり、その出力信号は0V~VDDの振幅を有する。

#### 【0094】

レベル変換回路22a, 22bの電源電圧はVDD2(例えば3.3V)であり、内部回路21a, 21bおよびNORゲート25aの0V~VDD振幅の出力信号を受けてこれを0V~VDD2の振幅の信号に変換する。論理ゲート25b, 25c, 25dの電源電圧もVDD2である。

#### 【0095】

この実施例の出力バッファは、データイネーブル信号ENまたはテスト系イネーブル信号TENのいずれかがロウレベルされると、内部回路21bからのデータ信号DTのいかんにかかわらず出力用MOSFET 24a, 24bのゲート端

子にこれらをオフ状態にさせるように制御信号が印加され、これによって外部端子23がハイインピーダンス状態にされるようになっている。一方、データイネーブル信号ENとテスト系イネーブル信号TENの両方がハイレベルにされると、内部回路21bからのデータ信号DTに応じて出力用MOSFET24a, 24bのいずれか一方がオン状態、他方がオフ状態にされることにより、外部端子23にVDD2または接地電位(0V)を出力する。

#### 【0096】

テスト系イネーブル信号TENは、例えばこの実施例の双方向バッファが接続されている外部端子が外部のバスなどに接続されていて、その外部バスに接続されている他の半導体集積回路に信号を入力する場合に実施例の出力バッファ回路をハイインピーダンス状態にするのに利用される。なお、図7の実施例においては、レベル変換回路22a, 22bを論理ゲート25c, 25dと出力用MOSFET24a, 24bのゲート端子との間に設けることも可能である。ただし、出力用MOSFET24a, 24bは素子サイズが大きいためそのゲートを駆動する前段の回路の構成素子もサイズを大きくする必要があるので、構成素子数の多いレベル変換回路22a, 22bを出力用MOSFET24a, 24bの直前に設けるよりも、図7のように論理ゲート25b～25dを出力用MOSFET24a, 24bの直前に設けた方が占有面積は小さくて済むという利点がある。

#### 【0097】

図8には、本発明に係るレベル変換回路を出力バッファ回路に応用した場合の構成例が示されている。図7の回路が双方向バッファであるのに対し、図8の回路は单方向の出力バッファであり、データ信号DTの出力を許可したり禁止したりするためのイネーブル信号ENではなく、内部回路21から供給されるデータ信号は、出力用MOSFET24aと24bにそれぞれ対応して設けられているレベル変換回路22a, 22bに共通に入力されている。

#### 【0098】

また、レベル変換回路22a, 22bと出力用MOSFET24a, 24bのゲート端子との間には、テスト系のイネーブル信号TENによってレベル変換回路22a, 22bの出力信号を出力用MOSFET24a, 24bのゲート端子

に供給したり遮断したりする論理ゲート 25c, 25d が設けられている。さらに、テスト系のイネーブル信号 T E N が内部信号と同じ低振幅の信号である場合にこれを振幅の大きな信号に変換して論理ゲート 25c, 25d に入力させるための第3のレベル変換回路 22c が設けられている。ただし、この第3のレベル変換回路 22c は高速である必要はないため、図1に示されているレベル変換回路の前段部分のみ使用した回路とされている。なお、この第3のレベル変換回路 22c の出力信号は、図示しない他の外部端子に接続されている同様な出力バッファ回路にも共通に供給され、同じような制御が行なわれるよう構成される。また、レベル変換回路 22a と 22b は構成素子のサイズを大きくするなどして1つにまとめることが可能である。さらに、この実施例においても、レベル変換回路 22a, 22b を論理ゲート 25c, 25d と出力用MOSFET 24a, 24b のゲート端子との間に設けることが可能である。

#### 【0099】

図9には、図7の双方向バッファ回路に設けられている降圧型のレベル変換回路からなる入力バッファ 30 の具体的な回路例が示されている。同図に示されているように、入力バッファ 30 は、外部端子 23 から入力された入力信号 IN を受ける初段のCMOSインバータ 31 と、その出力を反転する2段目のCMOSインバータ 32 と、インバータ 31 と 32 の出力をゲート端子に受ける2個の直列形態のnチャネルMOSFET Qn31, Qn32 からなるインバータ 33 とにより構成されている。インバータ 31 と 32 は外部インターフェースレベルに合わせて 3.3V のような電源電圧 VDD2 で、また3段目のインバータ 33 は内部電源電圧と同じ 1.5V のような電源電圧 VDD で動作され、外部から入力される 0-3.3V の振幅の信号を 0-1.5V の振幅の信号に変換して内部回路 21c へ供給する。

#### 【0100】

図12には、図7の双方向バッファ回路を構成する各論理ゲートや素子の半導体チップ上へのレイアウトの一例を示す。図12において、図7と同一の符号が付されているブロックは、同一の論理ゲートおよび素子を表わす。図12に示されているようなレイアウトを行なうことにより、複数の入出力パッド 23 が並ん

で設けられている場合にも、パッドの幅に合わせて双方向バッファ回路を配置できるため、無駄なスペースを生じさせることがない。

#### 【0101】

図13には、図12に示されているブロックのうち本発明を適用したレベル変換回路22a, 22bを構成する素子のレイアウト構成例を示す。図13において、実線で示されているのはアルミニウムなどのメタル層からなる配線、一点鎖線で示されているのはポリシリコン層などからなるゲート電極、破線で示されているのはMOSFETのソース・ドレイン領域となる拡散層である。

#### 【0102】

また、中央の素子の不在部分は配線領域であり、ここに電源ライン（図示省略）やnチャネルMOSFETとpチャネルMOSFETとを接続する配線等が多層配線技術を用いて形成される。図13において中央の配線領域に表示されている配線は一部であってすべてではない。図13に表示されている各符号は、図1の回路を構成する素子に付されている符号と同一の素子が形成されている部分を表わす。ただし、図13には図1におけるMOSFET Qp9は省略されている。

#### 【0103】

図1の実施例において説明したように、MOSFET Qn2, Qn3, Qp5, Qp6, Qn6は他の素子に比べて比較的ゲート幅が大きく設計されている。このようなゲート幅の大きなMOSFETを半導体基板上にレイアウトする場合、ゲート電極を直線的に配置しようとすると素子の形状が一方向に極端に長くなってしまい、内部回路がゲートアレイなどで構成される場合、ゲートアレイ部分のウェル領域との整合性が悪くなり、入出力バッファ回路部分の素子のウェル領域をゲートアレイ部分とは別個に設計しなくてはならなくなる。

#### 【0104】

そこで、この実施例においては、MOSFET Qn2, Qn3, Qp5, Qp6, Qn6等のゲート幅の大きな素子のゲート電極は分割して平行に配置することにより、入出力バッファ回路部分の素子のウェル領域をゲートアレイ部分と共に設計して整合を取り易くしている。また、ゲート電極を分割する場合、そ

それぞれの分割ゲート電極毎にソース・ドレイン領域の拡散層も分割することが考えられるが、拡散層も分割すると面積効率が低下する。そこで、この実施例においては、MOSFET  $Q_{n2}$ ,  $Q_{n3}$ ,  $Q_{p5}$ ,  $Q_{p6}$ ,  $Q_{n6}$ 等のゲート幅の大きな素子は、そのゲート電極は分割されても拡散層は分割されないように設計されている。

#### 【0105】

また、この実施例においては、比較的ゲート幅の小さなMOSFET  $Q_{p2}$ ,  $Q_{p4}$ ,  $Q_{n4}$ ,  $Q_{n11}$ ,  $Q_{p11}$ に関しては、それぞれそれらの素子の近傍にゲート電極が分割された予備のMOSFET  $Q_{p2'}$ ,  $Q_{p4'}$ ,  $Q_{n4'}$ ,  $Q_{n11'}$ ,  $Q_{p11'}$ が設けられている。MOSFET  $Q_{p2}$ ,  $Q_{p4}$ ,  $Q_{n4}$ ,  $Q_{n11}$ ,  $Q_{p11}$ のうち、 $Q_{p2}$ と $Q_{p4}$ は、そのゲート幅 $W_{p2}$ がこれらと対をなすMOSFET  $Q_{n2}$ ,  $Q_{n3}$ のゲート幅 $W_{n2}$ に対して1:15のような比率で小さくされており、そのゲート幅比が大きいほど直流通じて安定な動作が可能であるが、比が大きすぎると出力ノード $n1$ ,  $n2$ の立上がりが遅くなる。つまり、図1の実施例では、レベルシフト段12のゲート幅 $W_{p2}$ と $W_{n2}$ の比は直流通じてマージンと動作周波数とのトレードオフで決定される。

#### 【0106】

従って、上記のように予備のMOSFET  $Q_{p2'}$ ,  $Q_{p4'}$ が設けられていると、例えばマスタスライス法による配線形成時に選択的にこれらの素子を接続したりしなかったりすることにより、目標とする回路の動作周波数に応じて回路の定数を調整することが可能となる。

#### 【0107】

一方、MOSFET  $Q_{n4}$ ,  $Q_{n11}$ ,  $Q_{p11}$ は、これらと対をなすMOSFET  $Q_{p4}$ ,  $Q_{p6}$ ,  $Q_{n5}$ とのゲート幅の比によって、インバータ13や出力段14の論理しきい値が決定される。従って、上記のように予備のMOSFET  $Q_{n4'}$ ,  $Q_{n11'}$ ,  $Q_{p11'}$ が設けられていると、例えばマスタスライス法による配線形成時に選択的にこれらの素子を接続したりしなかったりすることにより、論理しきい値を調整し信号の立上がりまたは立ち下がり速度を微調整することが可能となる。

## 【0108】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば図1や図4の実施例では、レベルシフト段12の正相側にインバータ13を設けているが、図9のように、このインバータ13はレベルシフト段12の逆相側を設けても良い。ただし、そのようにするとレベルシフト段12の正相側を伝達する信号はインバータ3段分の遅延がもたらされ、レベルシフト段12の逆相側を伝達する信号はインバータ1段分の遅延がもたらされアンバランスになるので、遅延段14のP-MOS側の負荷駆動力をN-MOS側の負荷駆動力よりも大きくするなどの工夫が必要となる。

## 【0109】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるレベル変換機能を有する入出力バッファ回路に適用した場合について説明したが、本発明はそれに限定されるものでなく、半導体集積回路内部におけるレベル変換回路にも適用することができる。

## 【0110】

## 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

## 【0111】

すなわち、本発明に従うと、出力信号のロウレベルからハイレベルへの変化がハイレベルからロウレベルへの変化がほぼ等しいレベル変換回路を実現できるとともに、レベル変換回路をインターフェース回路とする半導体集積回路を用いたシステムの高速化が可能になる。

## 【図面の簡単な説明】

## 【図1】

本発明に係る昇圧型のレベル変換回路の第1の実施例を示す回路図である。

## 【図2】

図1のレベル変換回路内の信号のタイミングを示すタイミングチャートである

【図3】

図1のレベル変換回路の出力段の動作状態を示す回路説明図である。

【図4】

本発明に係るレベル変換回路の第1の実施例の変形例を示す回路図である。

【図5】

本発明に係る昇圧型のレベル変換回路の第2の実施例を示す回路図である。

【図6】

本発明に係るレベル変換回路の第2の実施例の変形例を示す回路図である。

【図7】

本発明に係るレベル変換回路を双方向バッファ回路に応用した場合の構成例を示す論理構成図である。

【図8】

本発明に係るレベル変換回路を出力バッファ回路に応用した場合の構成例を示す論理構成図である。

【図9】

入力バッファ回路を構成する降圧型のレベル変換回路の例を示す回路図である

【図10】

従来の昇圧型レベル変換回路の一例を示す回路図である。

【図11】

実施例のレベル変換回路および従来のレベル変換回路をシミュレーションした結果得られた入出力信号の波形図である。

【図12】

図7の双方向バッファ回路を構成する各論理ゲートや素子の半導体チップ上へのレイアウトの一例を示すレイアウト構成図である。

【図13】

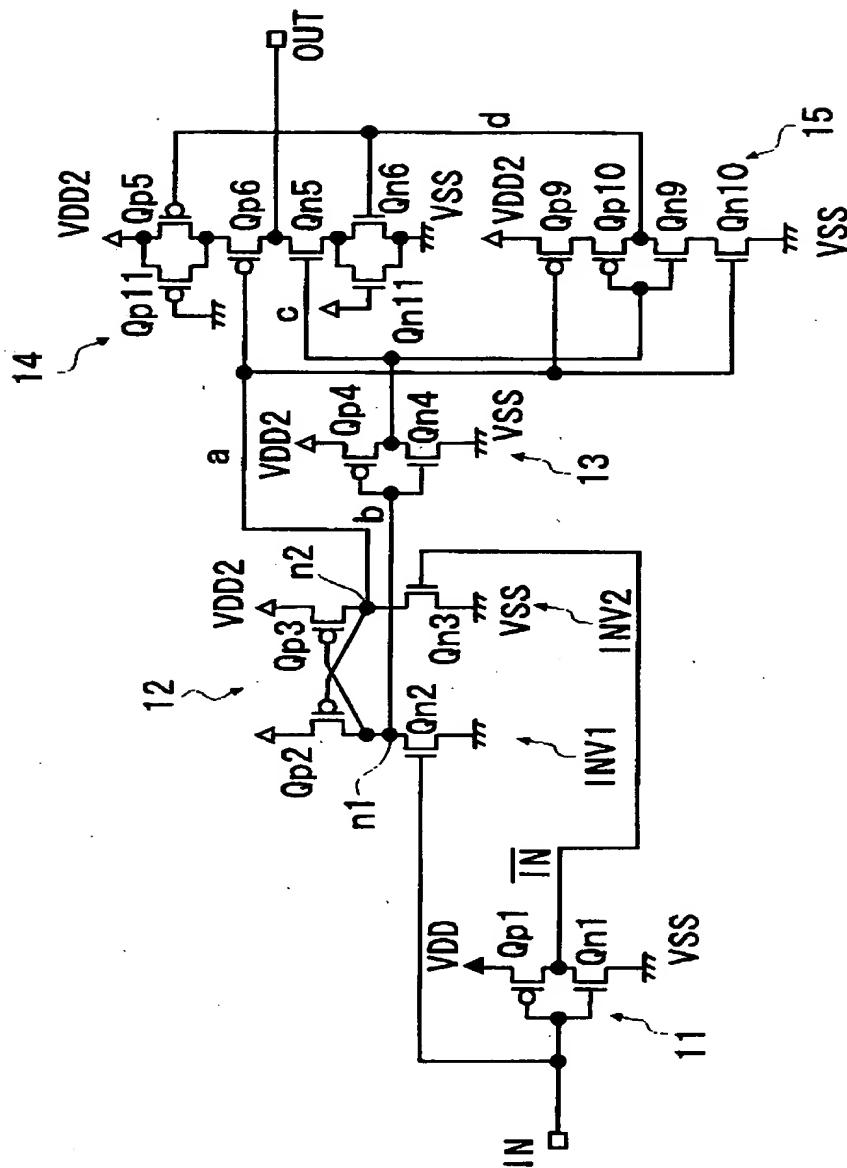
本発明を適用したレベル変換回路を構成する素子のレイアウトの一例を示すレイアウト構成図である。

【符号の説明】

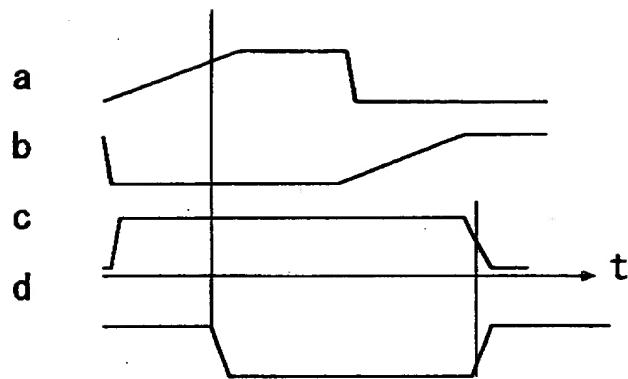
- 1 1 初段インバータ
- 1 2 レベルシフト段
- 1 3 インバータ
- 1 4 出力段
- 1 5 遅延段
- 1 6 出力ラッチ段
- 2 1 a ~ 2 1 c 内部回路
- 2 2 a, 2 2 b レベル変換回路
- 2 3 外部端子（入出力パッド）
- 2 4 a, 2 4 b 出力用MOSFET
- 2 5 a ~ 2 5 d 論理ゲート回路
- 3 0 入力バッファ（降圧型レベル変換回路）

【書類名】 図面

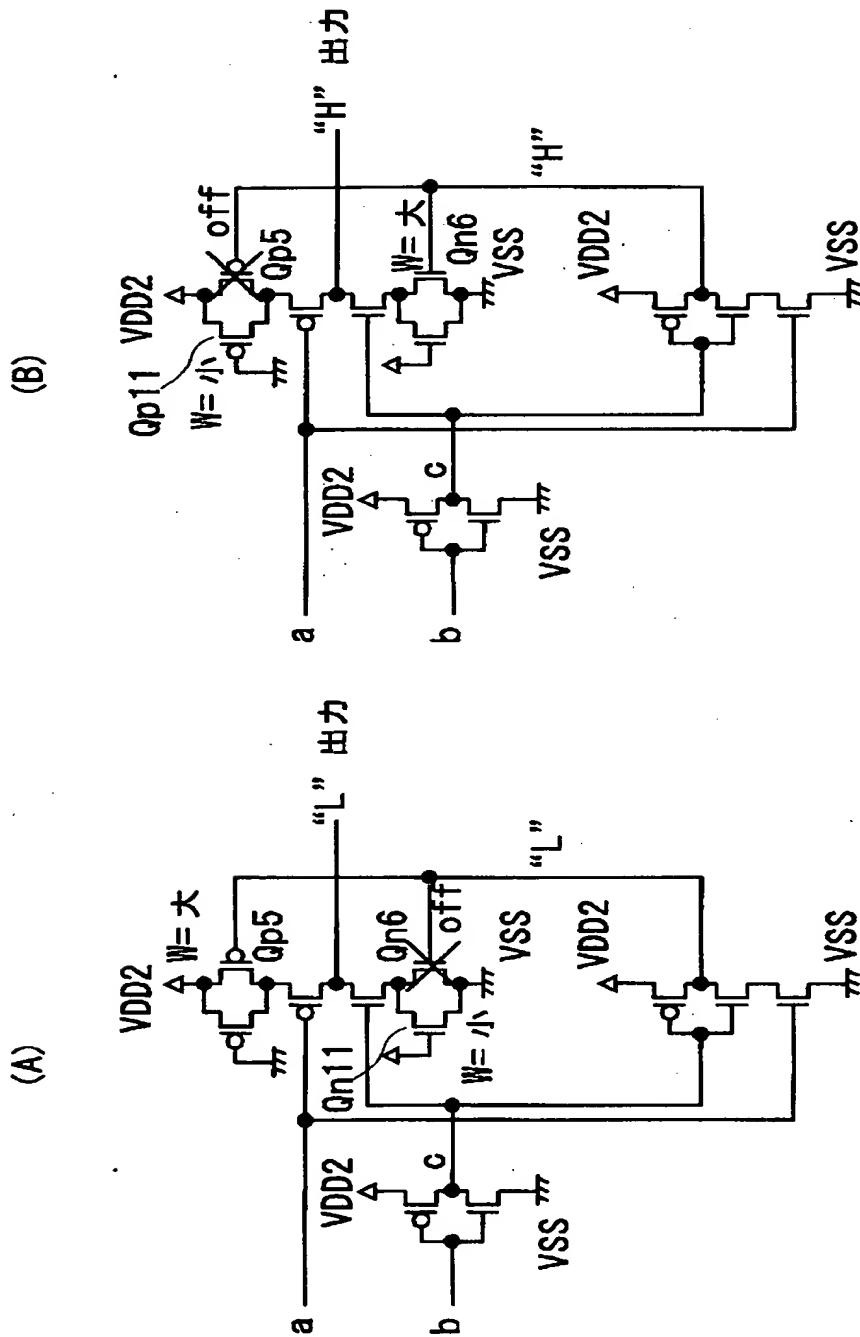
【図1】



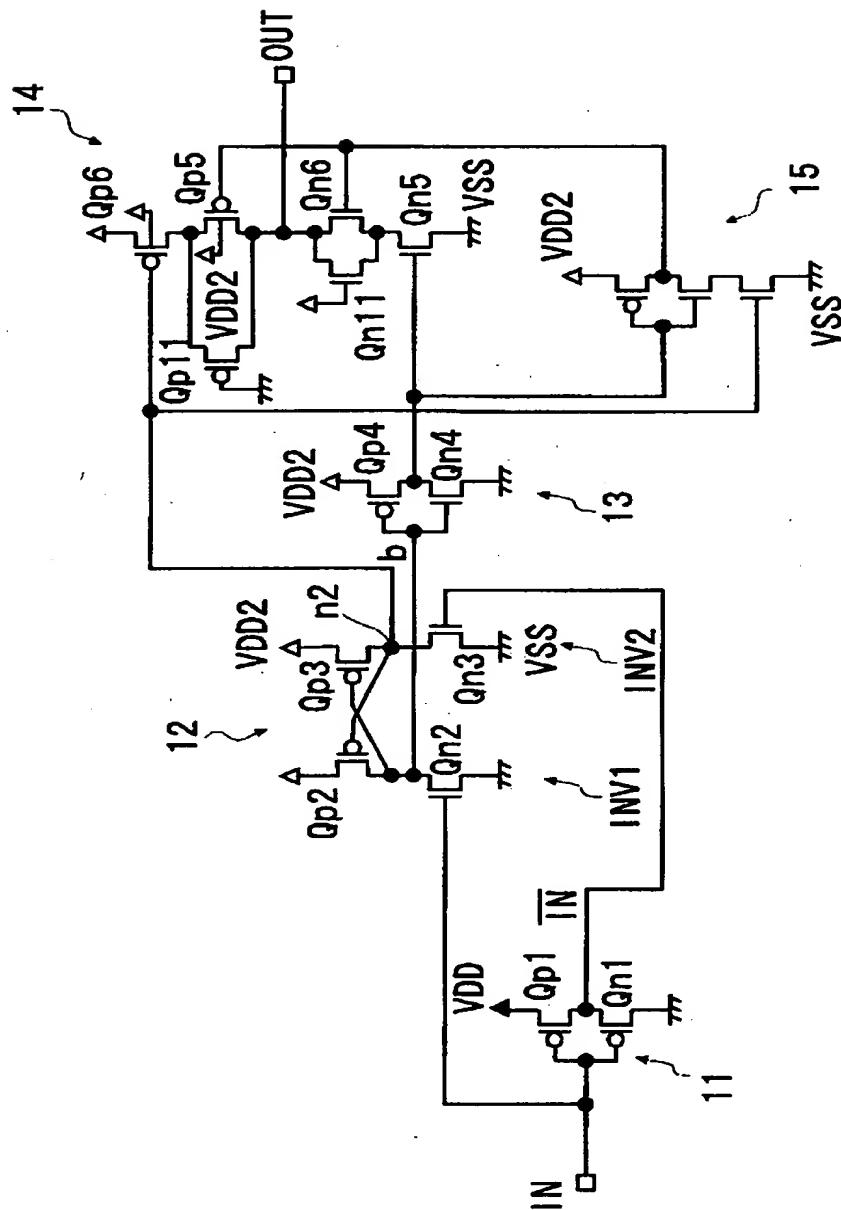
【図2】



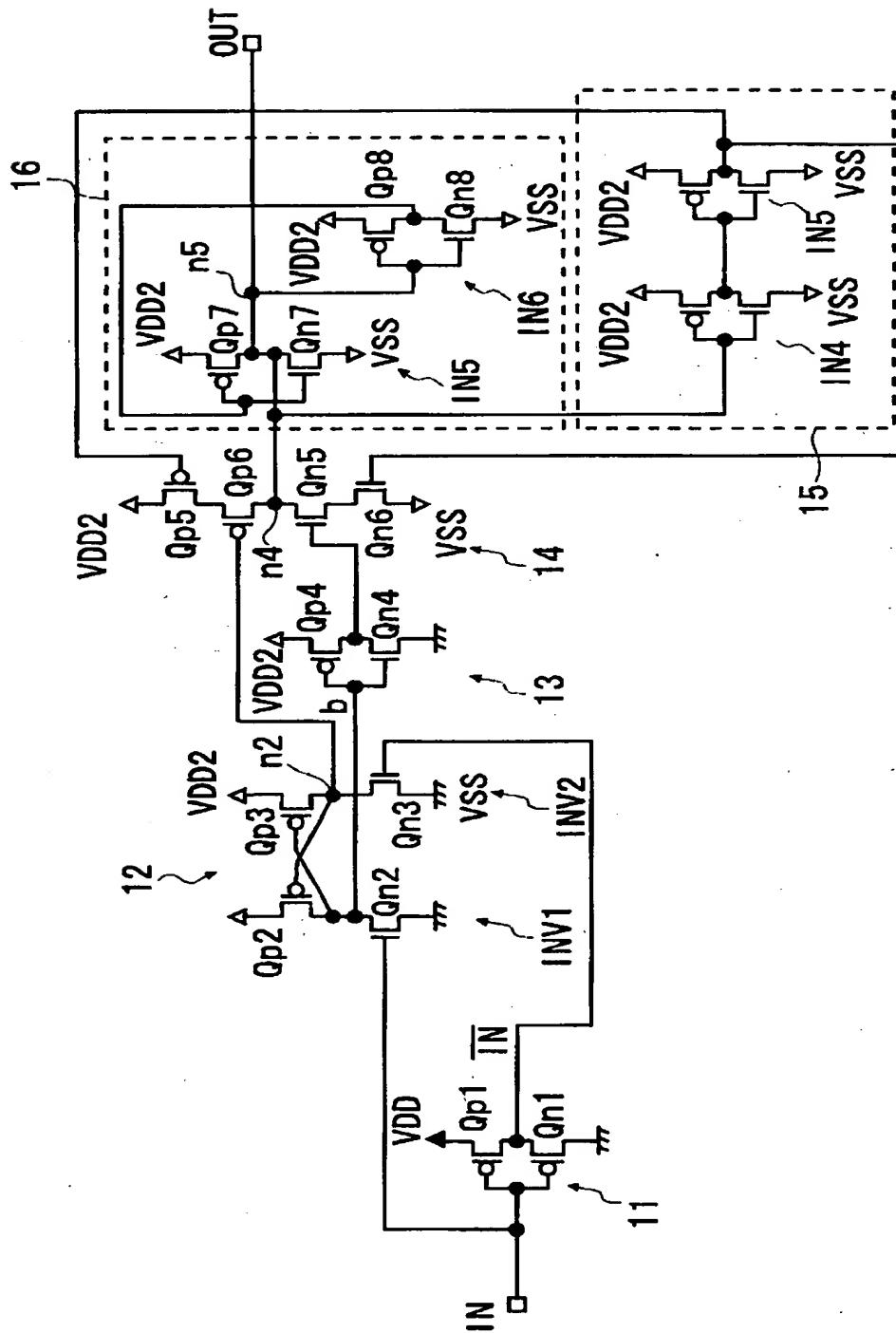
### 【図3】



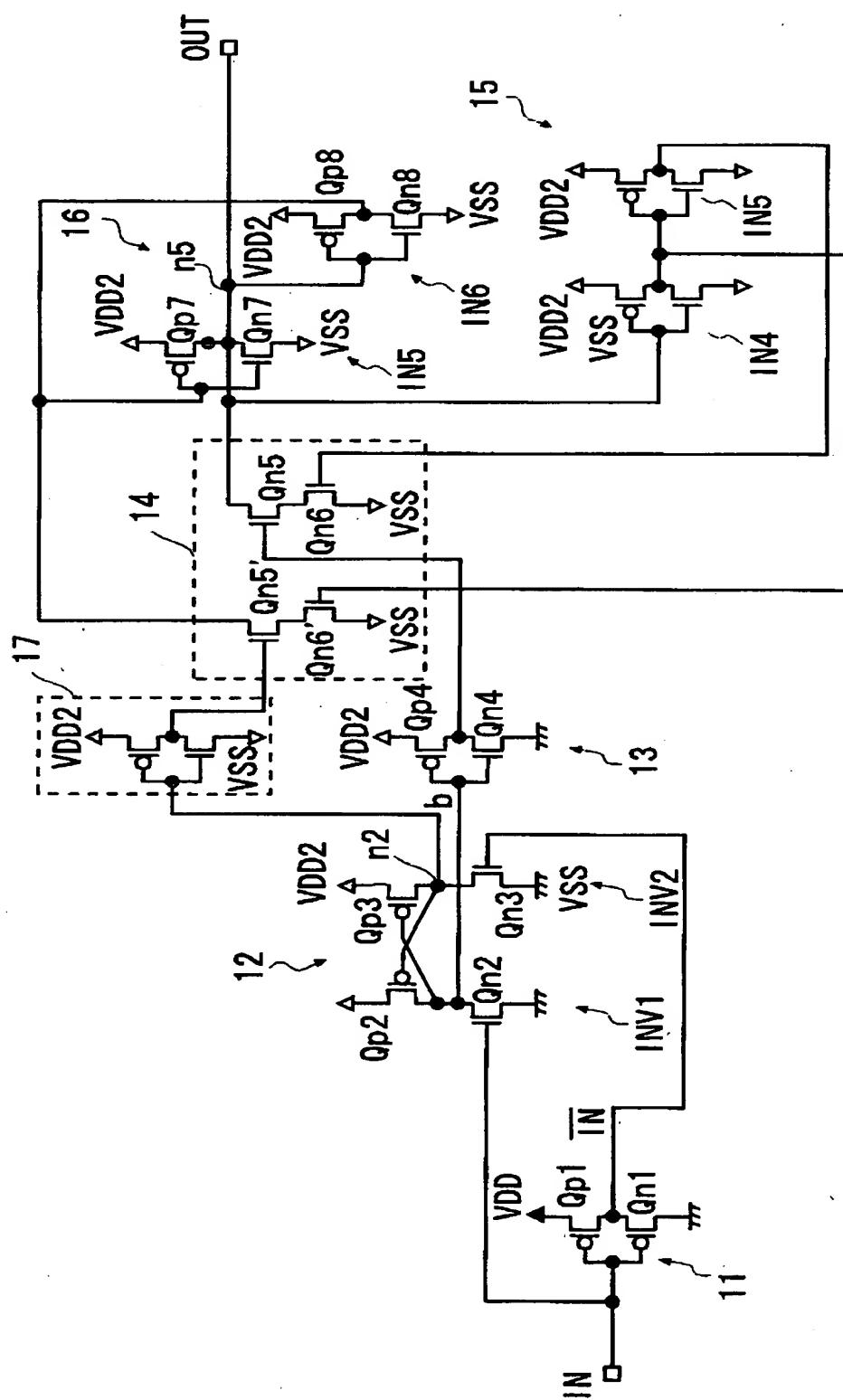
【図4】



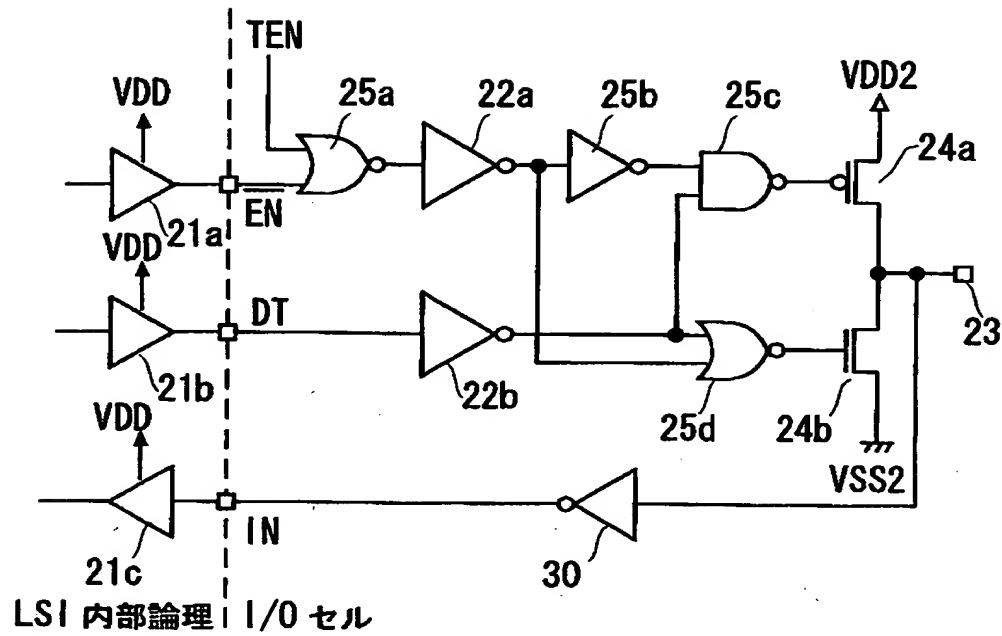
【図5】



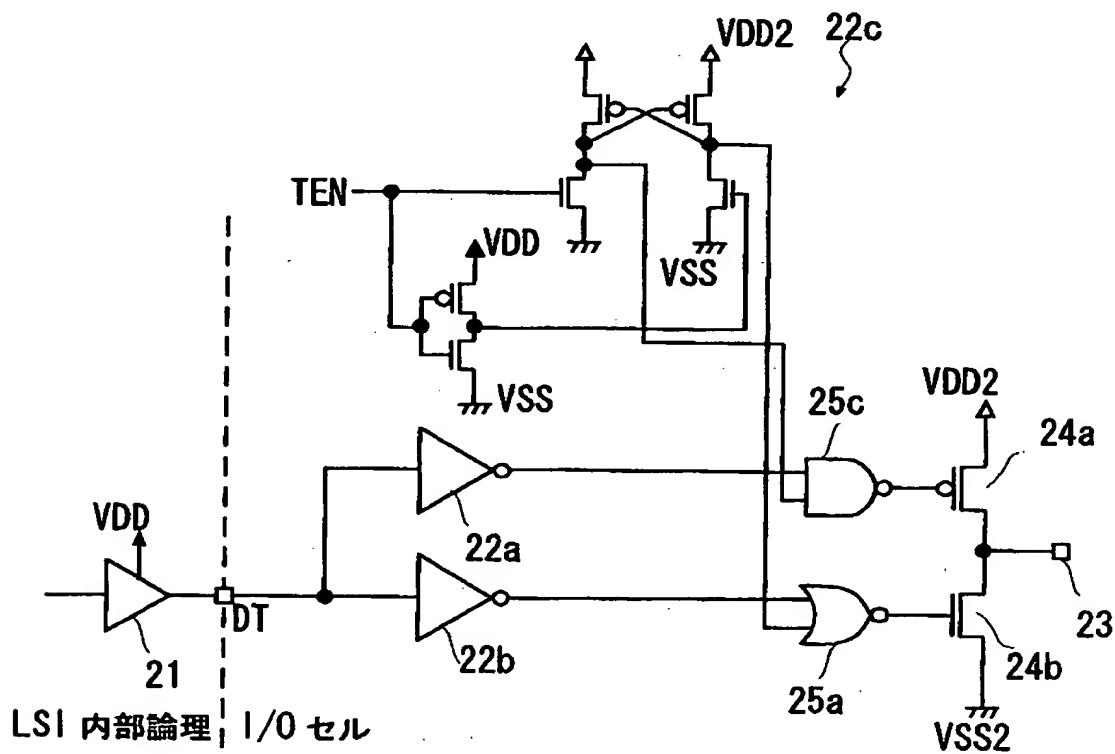
【図6】



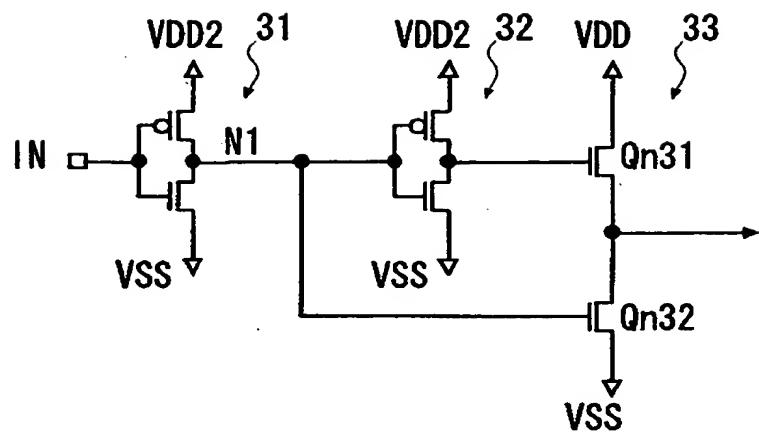
【図7】



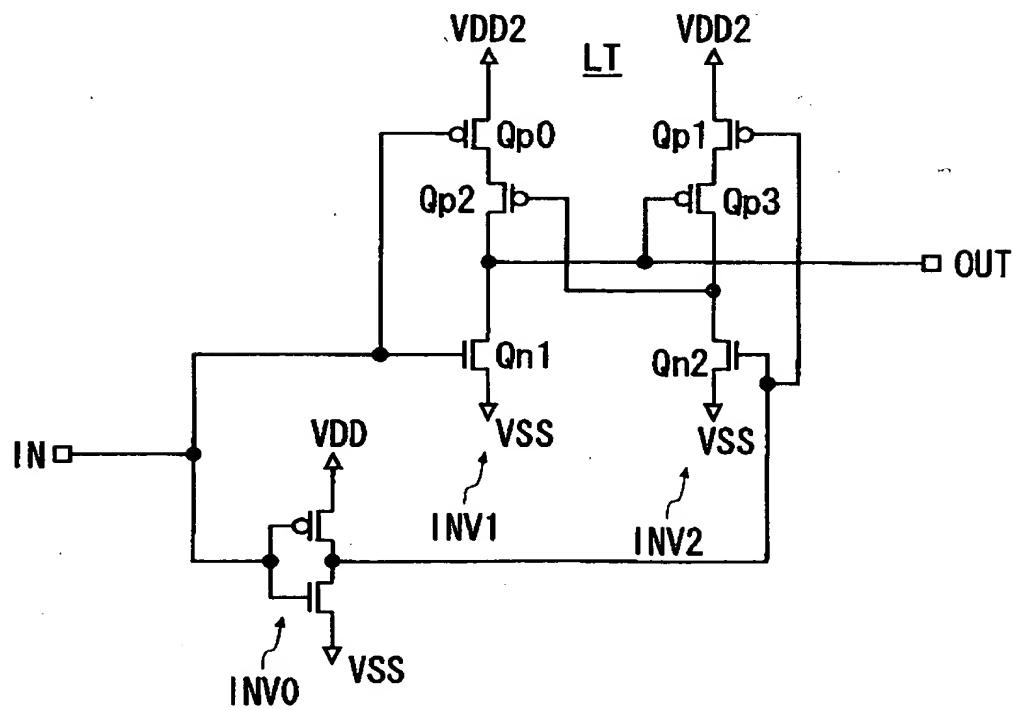
【図8】



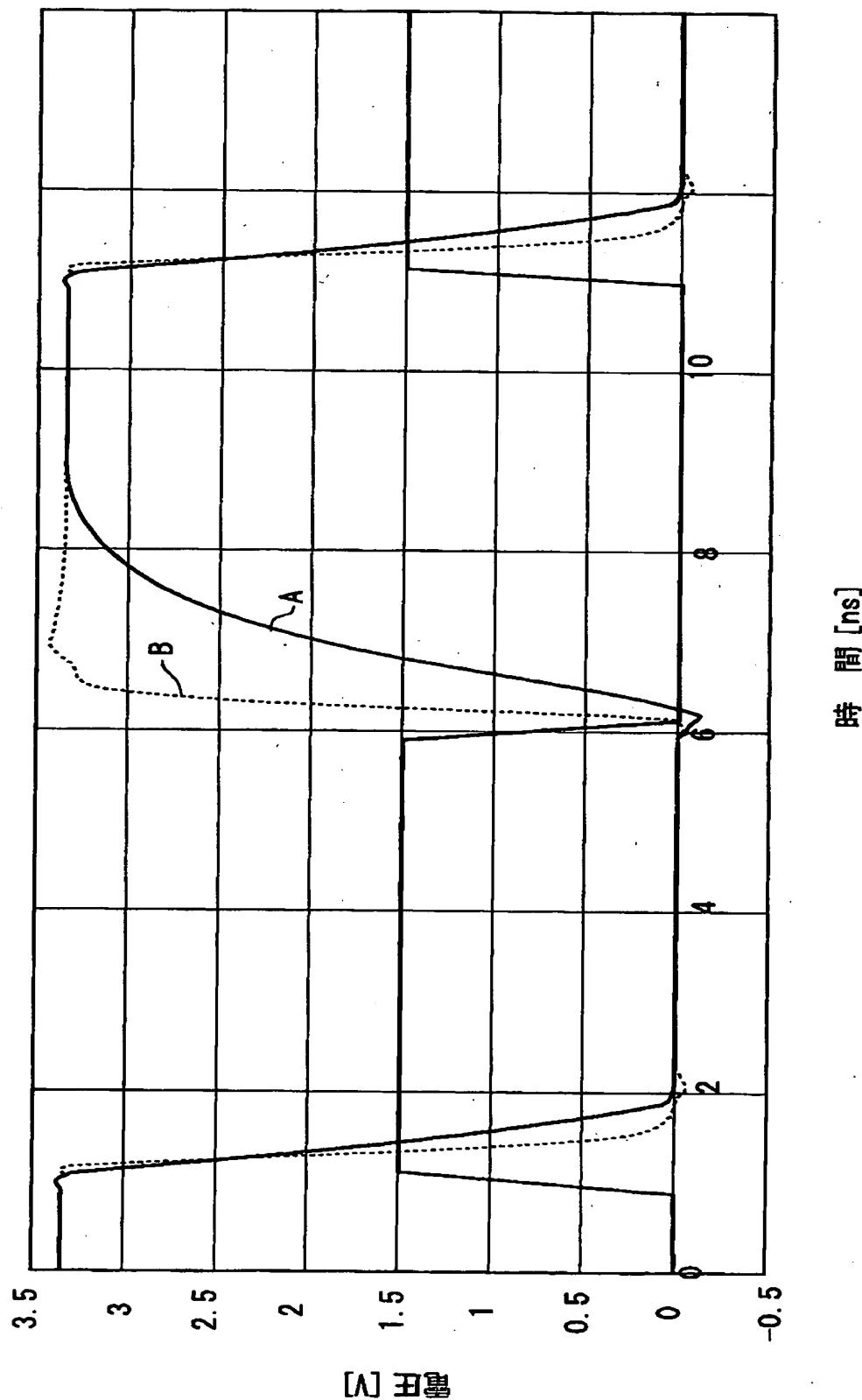
【図9】

30

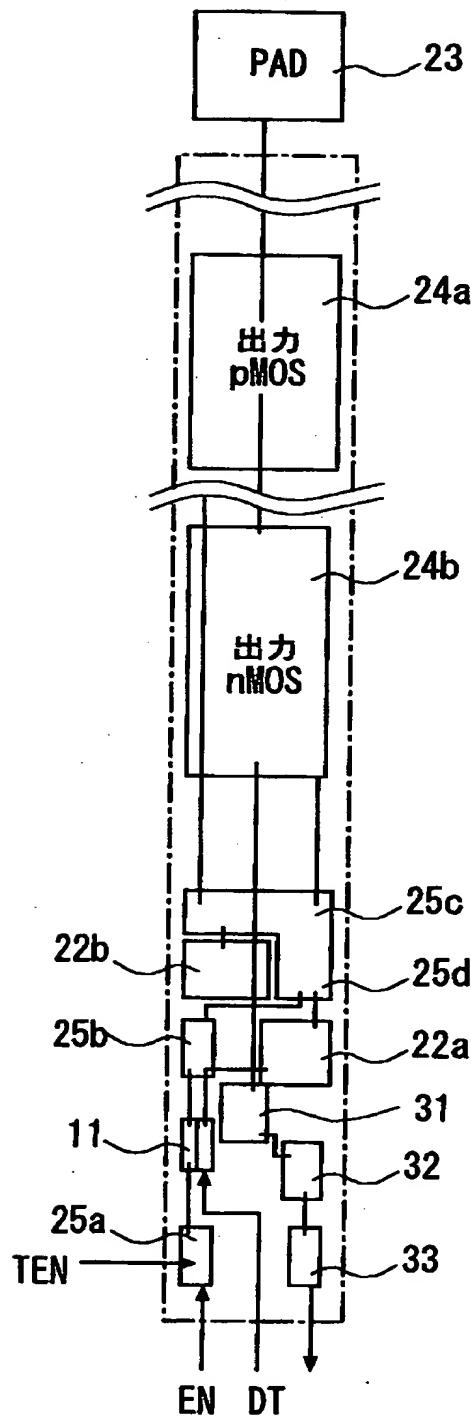
【図10】



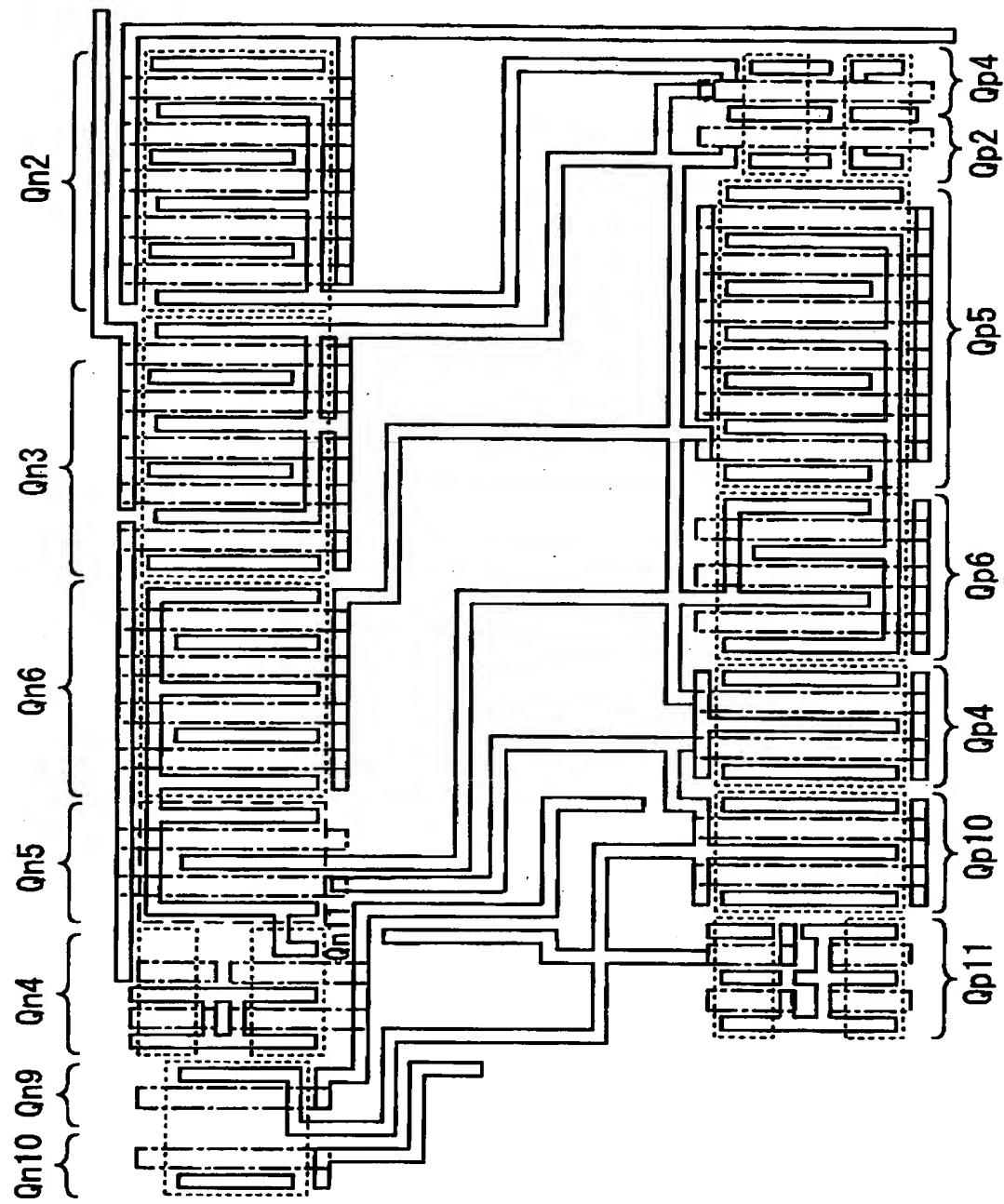
【図11】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 従来のレベル変換回路は、出力信号のロウレベルからハイレベルへの変化がハイレベルからロウレベルへの変化に比べて遅いため、このようなレベル変換回路からの信号を受ける側の回路においては、遅い方の信号のタイミングに合わせて信号を取り込まなくてはならないので、タイミングの設計が面倒であるとともに、信号の伝達に時間がかかりシステムの高速化が妨げられるという課題点があった。

【解決手段】 入力信号と同相のレベル変換された信号とそれ逆相の信号を出力するレベルシフト回路（12）と、該レベルシフト回路の出力信号のうち早い方に応答して出力信号を生成する後段回路（14）とによりレベル変換回路を構成し、後段回路には、第1電圧端子と第2電圧端子との間に2個のpチャネル型MOSトランジスタ（Q<sub>p</sub>5, Q<sub>p</sub>6）と2個のnチャネル型MOSトランジスタ（Q<sub>n</sub>5, Q<sub>n</sub>6）が直列に接続されたインバータ回路を用い、このうち1組を入力用トランジスタとして残る1組のトランジスタにはレベルシフト回路の出力信号に基づいてフィードバックをかけて、次の変化にすばやく応答できるように構成した。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2000-330385
受付番号	50001400786
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年10月31日

＜認定情報・付加情報＞

【提出日】 平成12年10月30日

次頁無

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所

出願人履歴情報

識別番号 [000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ